

UNIVERSITETET I OSLO
Institutt for informatikk

Semi floating-gate konvertere

Hovedfagsoppgave

Jens Petter F. Koren

1. februar 2007



Sammendrag

I oppgaven er det jobbet med kretser som er bygget i semi floating-gate logikk. Det er vurdert en binær til flernivå konverter (BFK) som tilsvarende DAC, og en flernivå til binær konverter (FBK) som tilsvarende ADC. Det er sett på løsninger med to-, tre- og firebits. Det er beskrevet hvordan kretsene dimensjoneres, og hvor følsomme de er for forandringer i innsignalet. Nytt av å ha en eller to oppladningstransistorer, og følsomheten for forskyving i innsignal og klokkesignal er vurdert. I tillegg er strømforbruket til en semi floating-gate inverter vurdert i forhold til en tradisjonell inverter. Det er laget utlegg og produsert en brikke som det er målt på. Det er benyttet en 0,35 mikrometer prosess fra AMS (Austria Micro Systems).

I utgangspunktet skulle semi floating-gate kretser kreve færre transistorer, mindre areal, og bruke mindre strøm enn tradisjonell logikk. Etter omfattende simuleringer viser det seg at semi floating-gate kretser har liten fordel fremfor tradisjonell logikk.

Det er testet ut en trebits flernivå til binær konverter. Den er følsom for forandringer i innsignalet, og dimensjonering av inngangskondensatorene. Ved en relativt liten forandring, vil det bli en feil i utsignalet til kretsen.

Både flernivå til binær konverter og binær til flernivå konvertereren som er undersøkt, er følsom for balansering av transistorene i inverteren. Prosessen har variasjoner i dopekonsentrasjonen til kanalen til transistorene. Det påvirker balanseringen av transistorene på brikken. I måling på en trebits binær til flernivå konverter ligger det balanserte nivået et halvt spenningsstrinn under spenningsnivået i utlegget. Det betyr at en trebits binær til flernivå konverter kan ha for stor støymargin til å kunne brukes i praksis.

Semi floating-gate invertere har et betydelig høyere strømforbruk enn tilsvarende tradisjonelle invertere.

Innhold

Sammendrag	iii
1 Innledning	1
1.1 Floating-gate	1
1.1.1 Initialiseringsmetoder	2
1.2 Semi floating-gate kretser	4
1.2.1 Semi floating-gate flernivåinverter	5
1.3 Semi floating-gate latching	8
1.3.1 SFG-latching av flernivåsignal	9
1.4 Rapportens innhold	11
2 utfordringer i semi floating-gate logikk design	13
2.1 Precharge- mot rechargelogikk	13
2.2 Oppladningstransistorer	13
2.2.1 Binærinverter	15
2.2.2 Flernivåinverter	18
2.3 Forskyving av signaler	19
2.3.1 Forskyving mellom klokkesignal og innsignal	20
2.3.2 Synkronisering av signaler i en inverter som SFG-latcher	24
2.4 Strømforbruk	27
2.4.1 Inverter uten Vdd og jordtilkobling	29
2.5 Oppsummering	30
3 Binær til Flernivå Konverter	33
3.1 Innledning	33
3.2 Tobits binært til flernivå konverter	33
3.2.1 Dimensjonering av inngangskondensatorer	34
3.2.2 Spenningsnivå	36
3.3 Flerebits binær til flernivå konverter	37
3.3.1 Justering av forsterkning i en trebits BFK	37
3.4 Simulering og dimensjonering	40
3.4.1 100 MHz skjemasimulering	40
3.4.2 200 MHz skjemasimulering	40
3.4.3 100 MHz utleggsimulering	45
3.5 2x2bits BFK	45
3.6 Måling og evaluering	49
3.7 Oppsummering	51

4 Flernivå til Binær Konverter	53
4.1 Innledning	53
4.2 Tobits flernivå til binær konverter	53
4.2.1 Vekting av inngangskondensatorene	54
4.2.2 Virkemåten til tobits FBK	55
4.2.3 Oppsummering	60
4.3 Trebits flernivå til binær konverter	60
4.3.1 Vurdering av spenningsnivåene til signalpulsene i en FBK	64
4.3.2 Vurdering av signalpulsene i signalet UT3	66
4.3.3 Forbedre utsignalet ved økning i lengden til transistorene	70
4.3.4 Høyeste frekvens	71
4.3.5 Forandring av arbeidsområde for innsignalet	71
4.3.6 SFG-latching av utsignalene	74
4.4 Måling og evaluering	76
4.5 Oppsummering	79
5 Videre arbeid	81
6 Konklusjon	83
6.1 Oppladningstransistorer	84
6.2 Forskyving av signaler	84
6.3 Strømforbruk	84
6.4 BFK	85
6.4.1 To- og trebits BFK	85
6.4.2 Målinger	86
6.5 FBK	86
6.5.1 Minst signifikant bit	87
Bibliografi	89
Måleoppsett	91
Skriptene som er brukt under målingene.	93
Målinger	103
Utlegg på brikken	117
.1 Padder	117

Kapittel 1

Innledning

1.1 Floating-gate

En **floating-gate** er en transistor som har en kondensator koblet til gaten. Se figur 1.1. Kondensatoren isolerer gaten til transistoren fra omgivelsene. Spenningsnivået som ligger på gaten til transistoren vil være uforandret i årevis ved normale driftsbetingelser. For å utnytte en floating-gate transistor er det nødvendig å kunne bestemme spenningsnivået til gaten til transistoren.

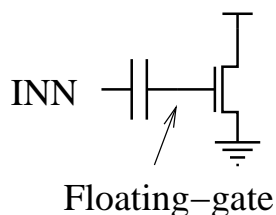
I **floating-gate kretser** brukes invertere hvor inngangen til inverteren er flytende. Inngangen til inverteren er isolert med en kondensator. Vi kaller forbindelsen mellom inngangskondensatoren og gaten til PMOS- og NMOS-transistorene for **floating-gate noden (FG-noden)**. Se figur 1.2a, som viser en binær floating-gate inverter hvor gaten er fullstendig isolert fra omgivelsene. FG-noden er en leder som er isolert fra omgivelsene, med silisiumdioksidet i gaten til transistorene i inverteren, og silisiumdioksidet i inngangskondensatoren. FG-noden beveger seg mindre spenningsmessig enn innsignalet til kretsen på grunn av parasitkapasitanser.

En kondensator kan påvirke spenningen på motsatt side. Likning 1.1 beskriver spenningspåvirkningen.

$$\Delta V_{fg} = \Delta V_{inn} \cdot \frac{C_{inn}}{C_{total}} \quad (1.1)$$

Ulempen med å isolere gaten til transistoren fra omgivelsene, er at en ikke har kontroll på spenningen til Floating-gate noden når en starter å sende signaler inn på kretsen.

Den første gang floating-gate komponenter er rapportert brukt, var i 1967 [7]. Floating-gate egner seg til langtidslagring for analoge formål. Det rapporteres om en rekke andre bruksområder for floating-gate [7]. Kretsen som danner grunnlaget for utviklingen av flernivålogikk har [13,14] rapportert om. Prosessen som ble brukt har to polylag, som gjør det mulig å ha et polylag over gaten til transistoren. Dette polylaget er delt opp, og gjør det mulig å ha flere signaler inn på gaten til transistoren samtidig. Polylaget til hver inngang kan ha forskjellig areal for å gi hver inngang forskjellig vekt. Dette kan blant annet benyttes til en digital til analog konverter (DA-



Figur 1.1: Floating-gate transistor

konverter) som består av en MOS transistor. Den er utviklet videre til en “klokke MOS transistor” hvor en kan initialisere floating-gate noden [8].

Det har vist seg at floating-gate kretser ofte krever færre transistorer for å gjøre samme operasjon som de tradisjonelle kretsene [9]. Færre transistorer krever et mindre areal. Av samme grunn kreves det mindre energi til å drive færre transistorer. Hastigheten kan gå opp når det er færre transistorer, siden signalet får kortere vei og mindre forsinkelse gjennom kretsen. Hastigheten er også avhengig av forsyningsspenningen.

1.1.1 Initialiseringsmetoder

Det er utviklet en rekke metoder for å lade opp floating-gate noden til et ønsket potensial. I tillegg til semi floating-gate er det “Hot carrier injection”, “Fowler-Norheim tunnelling”, UV-programmering og pseudo floating-gate.

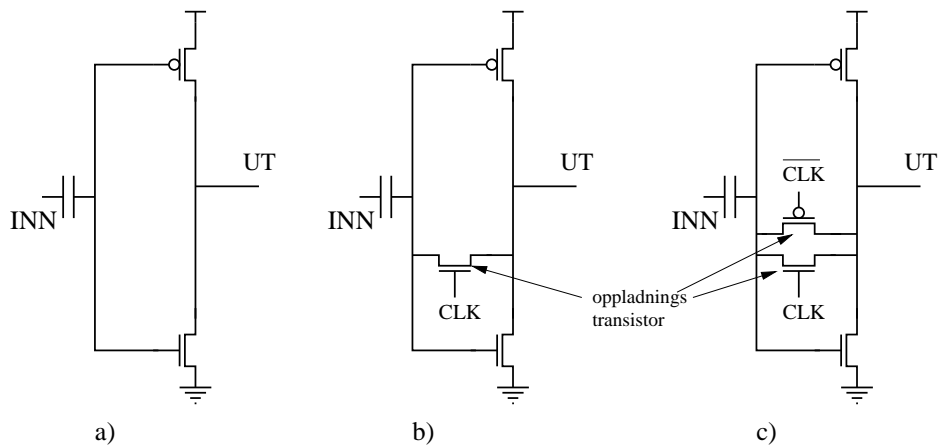
1.1.1.1 Hot carrier injection og Fowler-Norheim tunnelling

Hot carrier injection (HCI), eller “hot-electron injection”, og Fowler-Norheim tunnelling (FNT) er mest benyttet i forbindelse med omprogrammering av EEPROM og flashminne som benytter floating-gate transistorer i minnekretsene. HCI er benyttet til å slette programmeringen av EEPROM. Det gjøres ved å sette et høyt potensial på gaten og over kanalen til transistoren. Da vil elektroner ha høy nok energi til å gå gjennom det dielektriskelaget som er laget av silisiumdioksid.

FNT benytter også et høyt elektrisk felt for å få elektronene til å trenge gjennom gateoksidet, og forandre potensialet på floating-gaten. Metoden kan brukes både til nullstilling av potensialet, og å programmere riktig potensial til gaten til en transistor.

1.1.1.2 UV-programmering

Tidligere ble det benyttet floating-gate kretser hvor en bruker UV-lys til oppladning av floating-gaten. Det blir kalt FGVMOS (floating-gate UV-light programmerbar MOS transistor) [3]. Det benyttes en egen type transistorer og pakking når en lager brikken med kretsene. Pakkingen har et ‘vindu’ hvor UV-lyset kommer frem til transistorene. En legger en UV-lampe over kretsen og belyser den en god stund, 15-45 minutter, samtidig påtrykkes en spenning på source eller drain til transistoren. Spenningen



Figur 1.2: a) binær floating-gate inverter. b) binær semifloating-gate inverter med NMOS-oppladningstransistor. c) binær semifloating-gate inverter med to oppladningstransistorer.

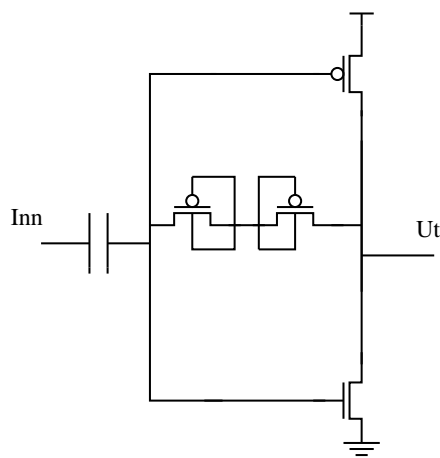
på floating-gaten blir bestemt av den påtrykte spenningen. En påtrykker for eksempel en spenning på 0,5 volt i en viss tid, men hvis tiden er for kort vil spenningen på floating-gaten ikke komme helt opp til det ønskede spenningsnivået på 0,5 volt. Floating-gaten til transistoren vil kunne holde på ladingen i flere år [3].

Ulempen med å bruke UV-lys, er at det ofte kan være upraktisk å få ladet opp floating-gatene, og spesielt hvis det blir nødvendig med en ny opplading når kretsen er i bruk. Da er det ofte mer upraktisk å gjennomføre en opplading. Samtidig vil det ta tid å gjennomføre ladingen av flere tusen enheter. Når tid er penger, blir det fort kostbart å gjennomføre ladingen. Prinsippet med å lade floating-gatene med UV-lys er bare prøvet på kretser med et ti talls transistorer. Når en vil lage en sammensatt brikke med mange delkretser, kan det oppstå uforutsette problemer, som gjør disse kretsene uegnet til det bruk det er tenkt.

UV-floating-gate kretser krever at gateoksidet har en tykkelse på 5-7 nm eller mer, fordi en ellers vil få lekkasje av elektroner gjennom gateoksidet til kanalen i transistoren. Det samme gjelder andre metoder hvor floating-gaten initialiseres en gang, som HCL og FNT. Etter hvert som transistorene blir mindre og mindre, blir også gateoksidet tynnere og tynnere. Det betyr at en i fremtiden må bruke en gammel prosess, eller en prosess som har tykkere gateoksid enn standard prosess. Tykkelsen på gateoksidet på 0,35 μm prosessen til Austria Microsystems er på mellom 7,1-8,1 nm. I fremtiden vil det være nødvendig med en annen måte å initialisere floating-gaten på.

1.1.1.3 Pseudo floating-gate

Det er utviklet en metode for kontinuerlig korrigerende av spenningsnivået på floating-gaten. **Pseudo floating-gate (PFG)** har to dioder som er koblet

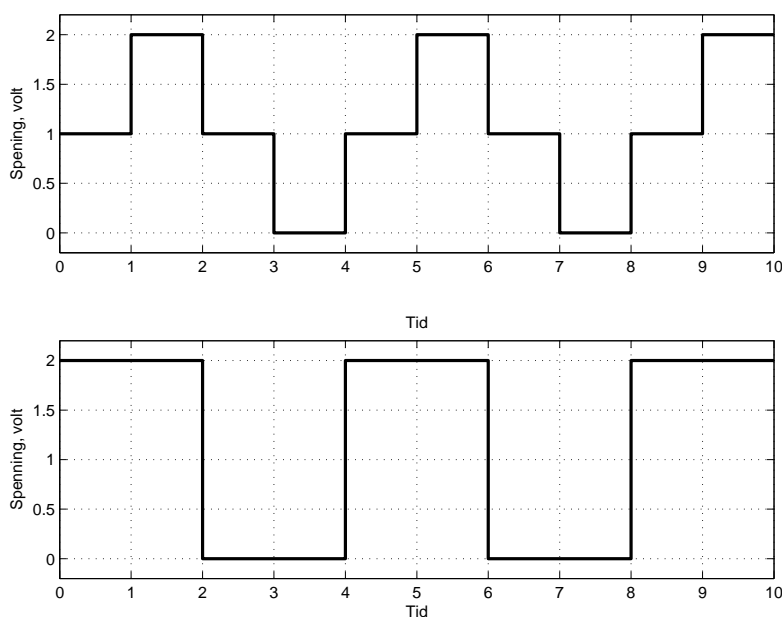


Figur 1.3: Pseudo floating-gate inverter

mellom floating-gaten og utgangen til inverteren, som vist i figur 1.3. Dioden er laget av en PMOS-transistor. I utgangspunktet går det ikke strøm gjennom to dioder som er reversforspent, men det er alltid en lekkasjestrøm. Det er lekkasjestrømmen som blir utnyttet i PFG. Diodene er implementert ved bruk av to PMOS-transistorer, med gaten koblet mellom kanalene til de to transistorene. Når PMOS-transistorene dimensjoneres i forhold til parasittkapasitanser i omgivelsene, oppnås stor nok lekkasjestrøm til å gi riktig spenningsnivå på floating-gaten. De to PMOS-transistorene vil virke som en motstand som varierer med spenningsnivået på utgangen til inverteren. Ved spenningsnivå nær $V_{dd}/2$ vil motstanden være liten, og ved andre spenningsnivå vil motstanden være stor. Fordelen er at det ikke er nødvendig med klokkesignaler for å korrigere spenningsnivået på floating-gaten [12].

1.2 Semi floating-gate kretser

I semi floating-gate oppladningslogikk er løsningen å lade opp floating-gate noden en gang for hver klokkeperiode. Vi kaller det for semi floating-gate, siden floating-gate noden ikke lenger er fullstendig isolert fra omgivelsene. Oppladningen gjøres ved å koble sammen 'semi floating-gate noden' (SFG-noden) og utgangen til inverteren med en transistor som kan kortslutte SFG-noden og utgangen, og dermed lade opp SFG-noden [2]. Det er valgt å balansere PMOS- og NMOS-transistoren til inverteren så de blir like sterke, og oppladningsnivået ligger midt mellom jord og V_{dd} , det vil si $V_{dd}/2$. Figur 1.2b viser en binær semi floating-gate inverter med en NMOS-oppladningstransistor, hvor SFG-noden ikke lenger er isolert. Ulempen er nå at SFG-noden ikke er isolert fra omgivelsene, siden kanalen i **oppladningstransistorene** lekker strøm når de er slått av. Det betyr at SFG-noden nå må lades opp regelmessig for å kunne holde spenningen på et jevnt nivå. Det er valgt å lade opp SFG-noden



Figur 1.4: Øverst et oppladningssignal som er et inngangssignal til kretsen i figur 1.2b og c, og nederst et binært signal som er inngangssignalet i kretsen i figur 1.2a.

en gang for hver klokkeperiode, det vil si en gang mellom hver mulige signalforandring [1], som vist i figur 1.4. Ulempen ved oppladningen er at det blir flere transistorer, og dermed krever kretsen større areal. I tillegg er det nødvendig med et system for klokking, som krever areal til ruting av ledere, og klokkene har et strømforbruk.

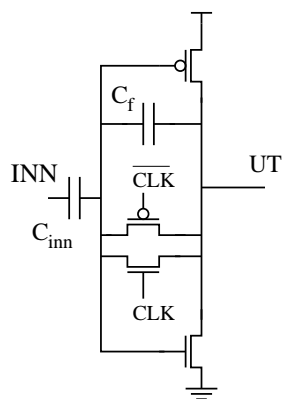
For å få samme bredde på signalpulsene i et oppladningssignal i forhold til et binært signal, må frekvensen til oppladningssignalet halveres. Det betyr at en ikke kan oppnå samme frekvens med en semi floating-gate krets som en tradisjonell inverter.

1.2.1 Semi floating-gate flernivåinverter

Semi floating-gate kretser har den fordel at de kan brukes til flernivålogikk, og fordelene med flernivålogikk er det kreves færre transistorer for å gjøre den samme operasjonen enn hvis den skulle gjøres i tradisjonell logikk [2].

Inverterene i figur 1.2 a, b og c gir et binært signal ut. Hvis en sender et flernivåsignal på inngangen, vil det likevel komme et binært signal ut. Figur 1.5 viser en flernivå semi floating-gate inverter. Forskjellen mellom en binær semi floating-gate inverter og en flernivå semi floating-gate inverter er en tilbakekoblingskondensator som i figuren er kalt C_f . Den gjør at et flernivåsignal inn vil gi et flernivåsignal ut [1].

Når et signal går gjennom en inverter, blir signalet invertert, det vil si at signalet blir speilet om $V_{dd}/2$. Se figur 1.6 som viser et flernivåsignal



Figur 1.5: Floating gate inverter for flernivåsignal.

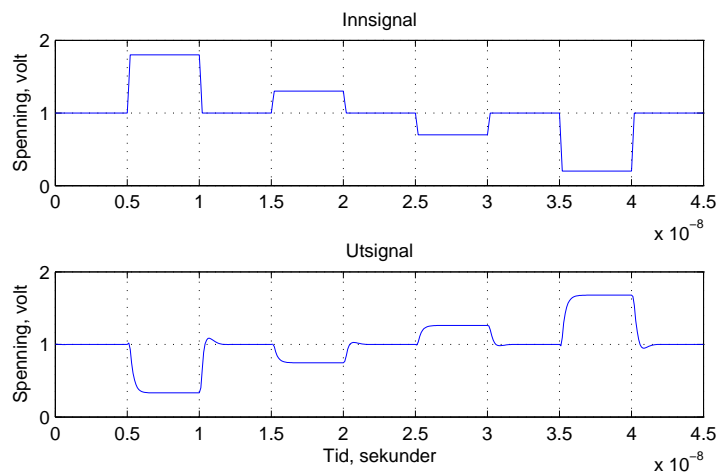
som sendes gjennom kretsen vist i figur 1.5. Utsignalet har litt krumme flanker, det skyldes blant annet lasten som kondensatorene representerer, og at signalet er simulert ved en klokkefrekvens på 100 MHz. Når signalpulsene nærmer seg V_{dd} eller jord, vil V_{ds} for henholdsvis PMOS- og NMOStransistoren minske i verdi, noe som gjør at transistorene kommer i det lineære området, og leder mindre strøm.

Tilbakekoblingskondensatoren påvirker forsterkningen til semi floating-gate inverteren. En liten tilbakekoblingskondensator gir større forsterkning, og økende størrelse vil gi mindre forsterkning. Forsterkningen er gitt ved likningen 1.2.

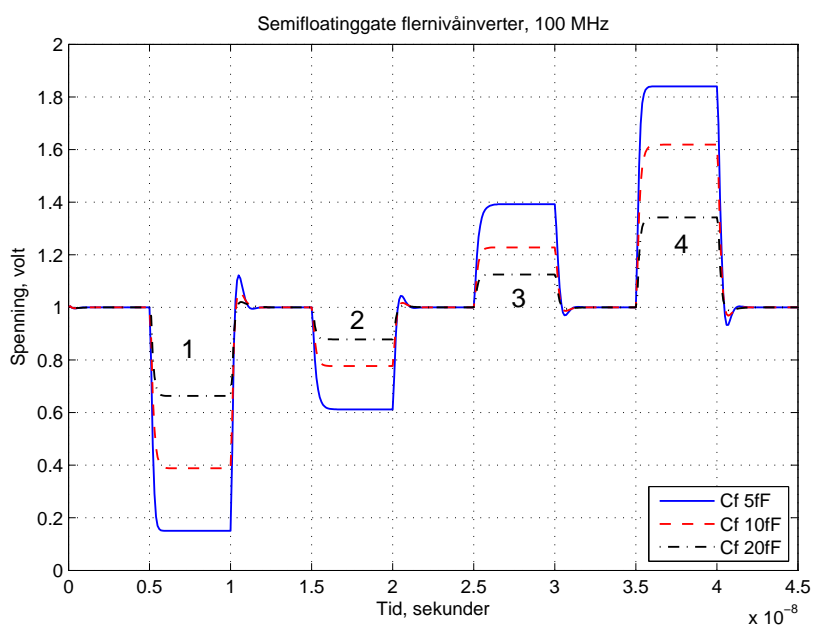
$$\text{Forsterkning} = -\frac{C_{inn}}{C_f} \quad (1.2)$$

Hvor C_{inn} er verdien til inngangskondensatoren som er koblet til semi floating-gaten i inverteren. En ser at når størrelsen til inngangskondensatoren er like stor som tilbakekoblingskondensatoren C_f , inkludert parasittkapasitanser, vil forsterkningen bli minus en. For å øke forsterkningen til inverteren, må størrelsen på tilbakekoblingskondensatoren reduseres. Det gjør samtidig arbeidsområdet til utsignalet større og ulineariteten øker.

Figur 1.7 viser utsignaler ved simulering av kretsen i figur 1.5 med forskjellig tilbakekoblingskondensator C_f . Innsignalet som er brukt i simuleringene, er det samme som er brukt til simuleringen i figur 1.6. Det er brukt en inngangskondensator med en kapasitans på 10fF. Den midterste kurven (røde/stiplet linje) i figur 1.7 viser resultatet av en simulering hvor kretsen har en forsterkning på minus en i henhold til likning 1.2. Den kurven med størst utslag (blå/hellinje) har en forsterkning på minus to, og den kurven som ligger nærmest $V_{dd}/2$ (sort/stiplet linje med prikk) har en forsterkning på minus en halv. Nivåene til de forskjellige signalene i figur 1.7 er listet opp i tabell 1.1. Når tilbakekoblingskondensatoren er liten, og kretsen har en høy forsterkning, vil arbeidsområdet bli større. Samtidig vil spenningsforskjellen mellom hvert signalnivå variere mer. Tabell 1.2 viser spenningsforskjellen mellom hvert spenningsnivå. Ved en



Figur 1.6: Invertering av et flernivåsignal.



Figur 1.7: Semi floating-gate flernivåinverter med forskjellig forsterkning. Inngangskondensatoren har en verdi på 10 fF i alle simuleringene.

Puls	Inngang	$C_f = 5\text{fF}$	$C_f = 10\text{fF}$	$C_f = 20\text{fF}$
1	1778	146	388	666
2	1288	606	777	879
3	725	1398	1228	1124
4	228	1843	1619	1339

Tabell 1.1: Spenningsnivåene til kurvene i figur 1.7. Alle verdier i millivolt

Puls	$C_f = 5\text{fF}$	$C_f = 10\text{fF}$	$C_f = 20\text{fF}$
1-2	460	388	215
2-3	792	451	246
3-4	445	390	217

Tabell 1.2: Spenningsforskjellen mellom hver puls i tabell 1.1. Alle verdier i millivolt.

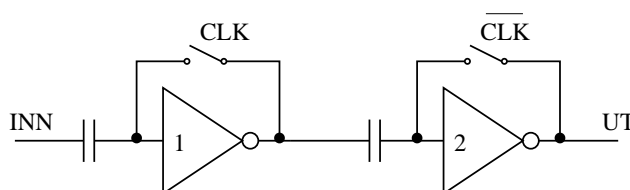
høyere forsterkning, når $C_f = 5\text{fF}$, er arbeidsområdet 1700 millivolt, og det er stor variasjon på spenningsforskjell mellom spenningsnivåene. Når forsterkningen er mindre, $C_f = 20\text{fF}$, er arbeidsområdet 1330 millivolt. Da er spenningsforskjellen mellom spenningsnivåene relativt liten, og med små variasjoner i spenningsforskjell mellom nivåene.

1.3 Semi floating-gate latching

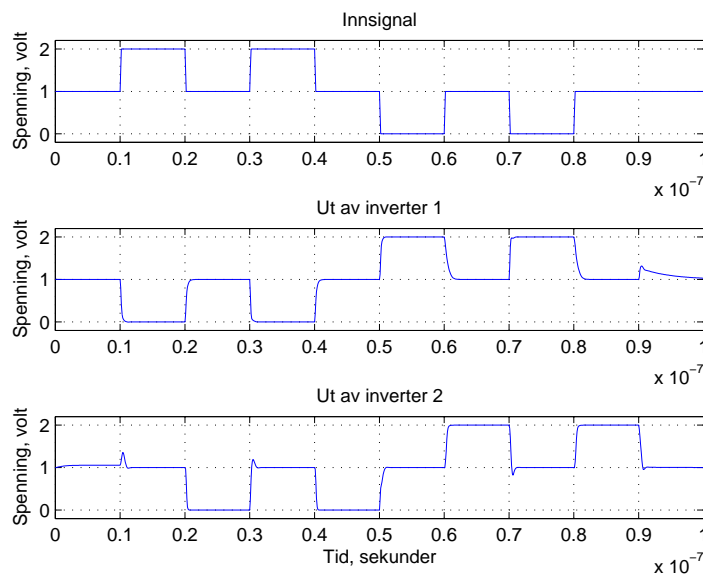
Semi floating-gate latching (SFG-latching) er å evaluere signalpulsene på avsluttende flanke. Det er nyttig når første flanke i en signalpuls har en uønsket puls, eller når første flanke har lang stige- eller falltid. Siden avsluttende flanke, i de tilfeller det er jobbet med her, har kort stige- og falltid. Resultatet ved SFG-latching er ofte pulser med rette flanker. SFG-latching gir en forsinkelse på en halv klokkeperiode.

En semi floating-gate inverter blir en SFG-latch, når klokkesignalet kortslutter SFG-noden og utgangen i semi floating-gate inverteren, når signalpulsene kommer. I en inverter som ikke er en SFG-latch, vil SFG-noden og utgangen i inverteren bli kortsluttet når signalet er ferdig, og mens signalpulsene er aktive vil SFG-noden og utgangen være isolert [10].

En SFG-latch er avhengig av en kondensator på inngangen. Signalet



Figur 1.8: SFG-latching av binæresignal



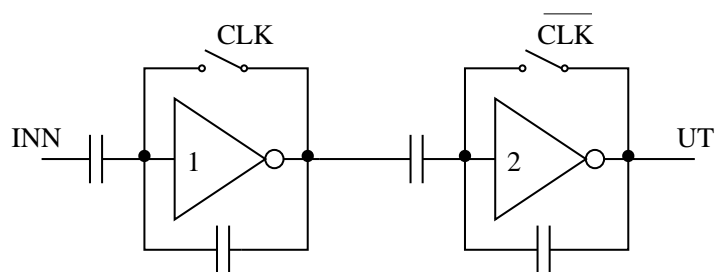
Figur 1.9: Signalene fra figur 1.8, skjemasimulering, frekvens 50 MHz

som blir evaluert av en SFG-latch kommer av signalforandringen fra Vdd til Vdd/2, eller fra jord til Vdd/2. Figur 1.8 viser en figur av to binære invertere. Den første inverterer signalet, og den andre SFG-latcher signalet. Klokkene er i motfase. Den ene er høy når den andre er lav. Det betyr at det alltid er en av klokkene som er på. Kondensatoren på inngangene hindrer at det går en strøm fra en inverter til den neste, hvis klokkesignalene og innsignalet er forskjøvet i forhold til hverandre.

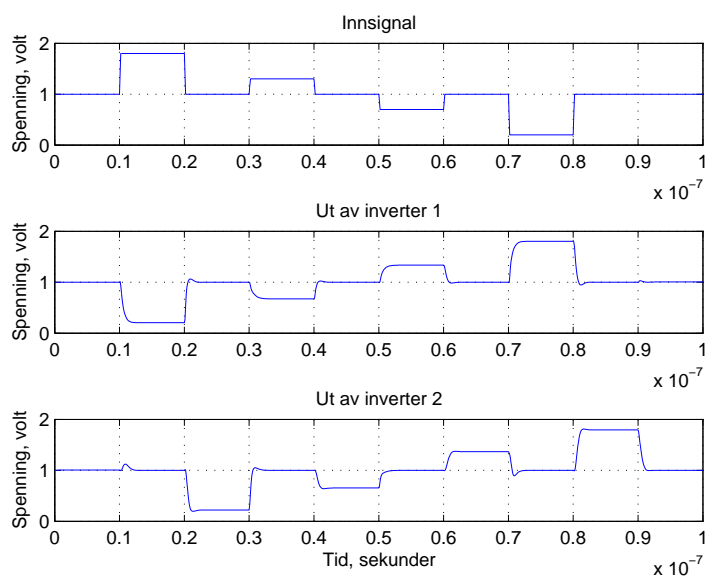
Figur 1.9 viser simuleringsresultatene. Kurven 'Ut av inverter 1' er et invertert signal, eller speilet om Vdd/2, av innsignalet. Signalet 'Ut av inverter 2' er SFG-latched, det vil si at det er forskjøvet en halv klokkesykel, og ikke er blitt invertert. Det har ikke skjedd noen forandring i nivåene til pulsene etter inverteringen eller SFG-latchingen. Ved høy klokkefrekvens, for liten eller for stor inngangskondensator, eller ved signalpulser med lavt spenningsnivå, vil ikke signalet komme helt opp til Vdd eller ned til jord.

1.3.1 SFG-latching av flernivåsignal

Det er også mulig å SFG-latche et flernivåsignal. Ved SFG-latching av et flernivåsignal må begge inverterene ha en tilbakekoblingskondensator som i figur 1.10. Simulering av kretsen vises i figur 1.11. Signalet 'Ut av inverter 1' er invertert av innsignalet. Det vises som at det er speilet om Vdd/2-aksen. Signalet 'Ut av inverter 2' er SFG-latched, det vil si at det ikke har blitt invertert, men forskjøvet en halv klokkeperiode. Nivåene er de samme, det justeres ved størrelsen på tilbakekoblingskondensatoren [10, 11].



Figur 1.10: SFG-Latching av flernivåsignal.



Figur 1.11: Signalene i fra figur 1.10, skjemasimulering, frekvens 50 MHz

1.4 Rapportens innhold

Rapporten beskriver utviklingen av en Binær til Flernivåkonverter (BFK) og en Flernivå til Binærkonverter (FBK), laget med Semi Floating-gate teknologien. Kretsene er laget med færrest mulig transistorer og kondensatorer, og i utgangspunktet benyttes det minimumstransistorer [6, 5, 4]. Kretsene ble først lagt ut i en $0,6 \mu\text{m}$ -prosess, senere ble kretsene forandret til en $0,35 \mu\text{m}$ -prosess. Disse kretsene ble sendt til produksjon hos AMS (Austria Microsystem), og senere ble det målt på kretsene. Forsyningsspenningen har vært 2 volt i alle simuleringer og målinger.

I kapittel en forklares Floating-gate og Semi floating-gate logikken, og hvordan den er bygget opp.

I kapittel to diskuteres om det er riktig å ha en eller to oppladningstransistorer, hva forskyving av innsignalet i forhold til klokkesignalet betyr for utsignalet til kretsen, og strømforbruket til en semi floating-gate inverter.

Kapittel tre beskriver en BFK (Binær til Flernivå Konverter). Det blir foreslått å bygge både en to-, tre- og firebits BFK. Det blir diskutert hva som er bra og mindre bra med de forskjellige utgavene av BFK. Til slutt blir det presentert måleresultater.

Kapittel fire forklarer en FBK (Flernivå til Binær Konverter). Her blir det også foreslått å bygge en to bits og tre bits FBK. Signalene ut av FBK kretsene blir vurdert i forhold til de forutsetningene som er valgt. Måleresultater blir presentert til slutt.

Kapittel 2

Utfordringer i semi floating-gate logikk design

2.1 Precharge- mot rechargelogikk

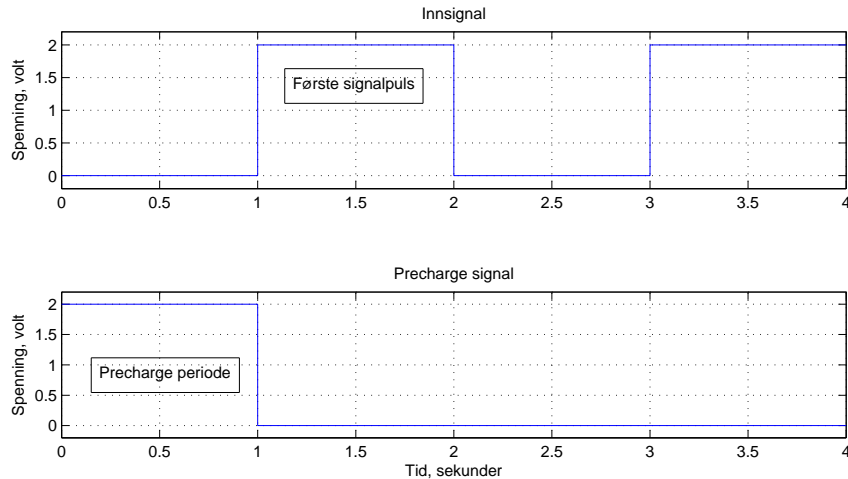
I tradisjonell logikk har en ikke en floating-gate som må lades til en kjent spenning. Det er unødvendig med klokker som styrer transistorer som skal lade opp floating-gaten ved bestemte intervaller. Samtidig er det andre ting som gjøres bedre i floating-gatelogikk.

De første kretsene det ble simulert på, var designet i **prechargelogikk**. I den type logikk blir SFG-noden til inverteren ladet opp en gang før en starter å sende signaler gjennom kretsen. Inverteren som blir brukt som byggeblokk er lik en semi floating-gate inverter som vist i figur 1.2b. Signalet som blir brukt for opplading av semi floating-gate noden (SFG-noden) er vist i nederste kurve i figur 2.1. Innsignalet er som i tradisjonell logikk, enten høy eller lav. Ulempen med prechargelogikk er at det er lekkasje gjennom transistoren som brukes til å lade opp SFG-noden. Det gjør at det er begrenset med tid før SFG-noden bør lades opp igjen. Fordelen er at en slipper å ha et innsignal som må lades opp en gang for hver klokkeperiode.

Prechargelogikk ble benyttet i innledende simuleringer, og byttet ut med **rechargelogikk**, der SFG-noden blir ladet opp en gang for hver klokkeperiode. Siden det er en viss lekkasje fra SFG-noden, er det en fordel å friske opp spenningsnivået i SFG-noden med jevne mellomrom. I rapporten er det valgt å fornorske rechargelogikk til "**oppladningslogikk**".

2.2 Oppladningstransistorer

I semi floating-gate kretser kan det brukes en eller to oppladningstransistorer. Oppgaven til oppladningstransistorerne er å lade opp floating-gaten til inverteren. Oppladningen skjer en gang for hver klokkeperiode. I alle kretsene som det er simulert og målt på, er det brukt to oppladningstransistorer.



Figur 2.1: Signalene til en precharge krets

Bakgrunnen for å bruke to oppladningstransistorer, er å få en mer lik stige- og falltid på flanken fra jord til $V_{dd}/2$, og fra V_{dd} til $V_{dd}/2$. Det blir brukt en NMOS- og en PMOS-transistor (se figur 1.2c). Oppladningstransistorene slås av og på samtidig. Det kreves to klokker for å oppnå det, og den ene klokken må være invertert av den andre. Det er en ulempe å måtte rute to klokker til alle steder hvor en bruker en BFK-krets. Både kontakter og forbindelseslinjer tar plass. Når det gjelder støy fra klokkesignalene, er det en fordel å ha to signaler som er invertert av hverandre og som rutes parallelt, eller opp på hverandre. Det gir mindre signalstøy enn en enkelt klokke, fordi støyen til de to signalene utlikner hverandre.

'Oppladningsfalltid' er den tiden det tar for utsignalet å forandre seg fra V_{dd} til $V_{dd}/2$, og 'oppladningsstigetid' er den tiden det tar for utsignalet å forandre seg fra null volt til $V_{dd}/2$.

Hvis det brukes en NMOS-transistor til å kortslutte semi floating-gaten til inverteren med utgangen til inverteren, som vist i figur 1.2b, blir ikke 'oppladningsstigetid' lik 'oppladningsfalltid'. Det er på grunn av body-effekten og 'gate'-'source' spenningen (V_{gs}) som påvirker oppladningstransistoren. Oppladningstransistoren får byttet om drain og source etter spenningsnivået på utgangen og SFG-noden til inverteren. Ved å legge til en PMOS-transistor i parallell i tillegg til NMOS-transistoren, vil en oppnå en mer lik stige- og falltid for opp- og utladning [2].

Det ble ikke undersøkt hvor mye det betyr om det brukes en eller to oppladningstransistorer i de kretsene som ble designet for å leveres til produksjon, og som det senere ble målt på. Senere kommer det en vurdering om nytten av en eller to oppladningstransistorer.

Komponent	Bredde, μm
PMOS, inverter, bredde	3,05
NMOS, inverter, bredde	0,6
PMOS, oppladning, bredde	0,6
NMOS, oppladning, bredde	0,6
Inngangskondensator	20 fF
Tilbakekoblingskondensator	20 fF

Tabell 2.1: Størrelsen til komponentene i figur 1.2 og 1.5. Alle transistorene har minimums lengde (0,35 mikrometer).

2.2.1 Binærinverter

Det er simulert på en binær semi floating-gate inverter, for å vurdere om det er nødvendig med to oppladningstransistorer i en semi floating-gate inverter eller om det er bra nok med en oppladningstransistor. Størrelsen på transistorene og kondensatorene i inverterene det er simulert på, er angitt i tabell 2.1. Figur 1.2c viser en binær floating-gate inverter med en NMOS- og en PMOS-transistor for oppladning av SFG-noden til inverteren. PMOS-transistoren er best til å trekke utsignalet ned, og NMOS-transistoren er best til å trekke utsignalet opp. Årsaken til den forskjellen er at transistorene har forskjellig bodyeffekt og 'gate-' og 'source-' spenningen (V_{gs}). Begge effektene drar i samme retning. Det er derfor vanskelig å si hvilken som bidrar mest.

Ifølge Vittoz [16] har V_{gs} mer effekt på strømmen gjennom kanalen enn bodyeffekten. Vittoz sine vurderinger blir brukt i de fleste simuleringsverktøyene som er tilgjengelig. Det antas at V_{gs} bidrar mer enn bodyeffekten.

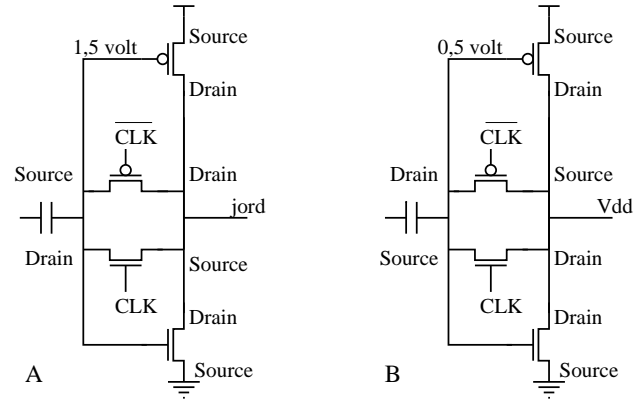
Likning 2.1 er hentet fra artikkelen til Vittoz. Den beskriver hvor mye strøm det går gjennom kanalen til en MOS-transistor. Variabelen 'n', kalt slopefaktor, har en verdi mellom en og to. Vanligvis er verdien til 'n' litt over en. Bulkspenningen er ikke med i likningen, men den er null referansen til alle spenningene.

$$I = \frac{\beta}{2n} (V_g - V_t - nV_s)^2 \quad (2.1)$$

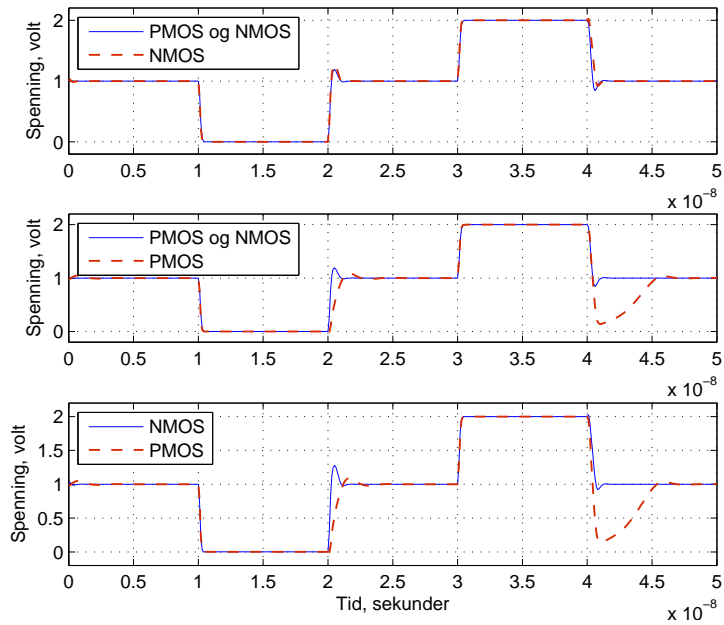
Når utgangen til inverteren er nær jord, har NMOS-oppladningstransistoren floating-gaten til inverteren som 'drain', og utgangen til inverteren som 'source'. I dette tilfelle vil SFG-noden til inverteren ligge omkring 1,5 volt, og V_{gs} til NMOS-oppladningstransistoren være større enn V_{gs} til PMOS-oppladningstransistoren. Se figur 2.2 inverter A.

I det motsatte tilfelle, hvor utgangen til inverteren er 2 volt, vil 'source' og 'drain' for NMOS-oppladningstransistoren ha byttet plass. Se figur 2.2, inverter B. Det gjør at V_{gs} blir mindre, omkring 1,5 volt for NMOS-transistoren, som gjør at den leder mindre strøm enn PMOS-transistoren.

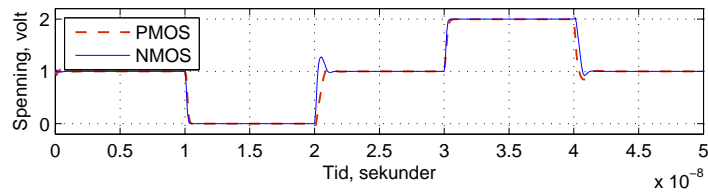
PMOS-transistoren vil være best til å trekke ned på grunn av V_{gs} . Grunnen er at 'source' og 'drain' er på motsatt side for NMOS- og PMOS-transistoren. Når utgangen til inverteren er høy, er PMOS-transistoren den som har størst kapasitet til å lede strøm, fordi V_{gs} til PMOS-transistoren



Figur 2.2: Fordeling av source og drain i en semi floating-gate inverter, som figur 1.2c.



Figur 2.3: Utsignal fra figur 1.2 b og c, klokkefrekvens 50 MHz



Figur 2.4: Utsignal fra figur 1.2, med stor PMOS-transistor ($3,05\mu\text{m}$ bredde), klokkefrekvens 50 MHz

er større enn V_{gs} for NMOS-transistoren. Dette skyldes at SFG-noden har mindre sving enn utgangen på grunn av kapasitiv divisjon.

Når utgangssignalene fra inverterne vist i i figur 1.2 b og c blir plottet sammen, blir resultatet som vist i figur 2.3. Øverste kurve viser utgangen fra en semi floating-gate inverter med både PMOS-oppladningstransistorer og NMOS-oppladningstransistorer, plottet sammen med en semi floating-gate inverter med en NMOS-oppladningstransistor. Kurvene følger hverandre hele veien, unntatt siste flanken fra V_{dd} til $V_{dd}/2$. Det er det svake punktet til NMOS-oppladningstransistoren, hvor PMOS-oppladningstransistoren er marginalt raskere.

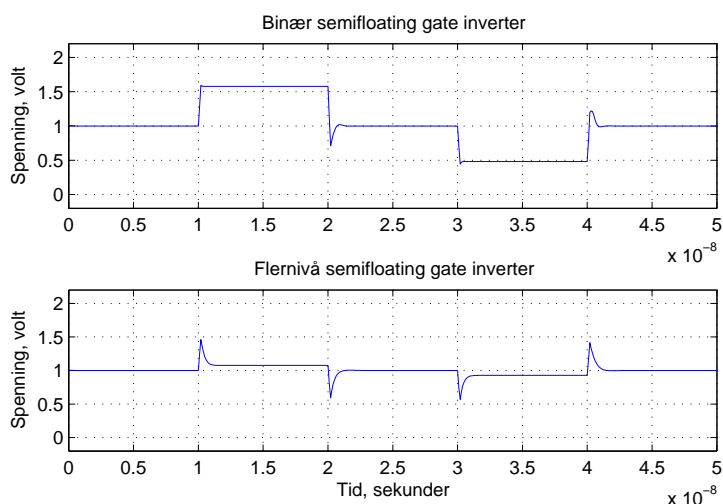
Den midterste kurven viser det samme, men her er NMOS-oppladningstransistoren byttet med en PMOS-oppladningstransistor. Her følger kurvene hverandre i litt mindre grad. Det svake punktet til PMOS-oppladningstransistoren er å trekke opp fra null volt til $V_{dd}/2$, som en ser ved x-verdi '2'. Den siste flanken fra V_{dd} til $V_{dd}/2$ i figuren, er den flanken som signalet til PMOS-oppladningstransistoren er raskere enn signalet til NMOS-oppladningstransistoren. I tillegg lager PMOS-oppladningstransistoren en stor bue under $V_{dd}/2$, årsaken er at den ikke er rask nok, siden PMOS-oppladningstransistoren er minimumsbredde.

Den siste kurven viser en simulering av en semifloating-gate inverter som har enten en PMOS- eller en NMOS-oppladningstransistor. Kurvene viser at NMOS-oppladningstransistoren har kortere stigetid enn PMOS-oppladningstransistoren, og lik falltid mot $V_{dd}/2$.

2.2.1.1 Stor PMOS-oppladningstransistor

I figur 2.4 er det plottet en kurve med en PMOS-oppladningstransistor med en bredde på $3,05$ mikrometer, som er det samme som bredden til PMOS-transistoren i inverteren. Der følger kurvene hverandre, og kurven for PMOS-transistoren trekkes raskere til $V_{dd}/2$. Her vises også at PMOS-oppladningstransistoren er best til å trekke utsignalet ned til $V_{dd}/2$, og NMOS-oppladningstransistoren er best til å trekke utsignalet opp til $V_{dd}/2$.

Når en ser på spenningsnivået på SFG-noden til en binærinverter, viser det seg at spenningsnivået varierer fra $0,5$ volt til $1,5$ volt (se figur 2.5). Det gjør at V_{gs} for oppladningstransistorene ikke varierer så mye mellom NMOS-oppladningstransistor og PMOS-oppladningstransistor. Det



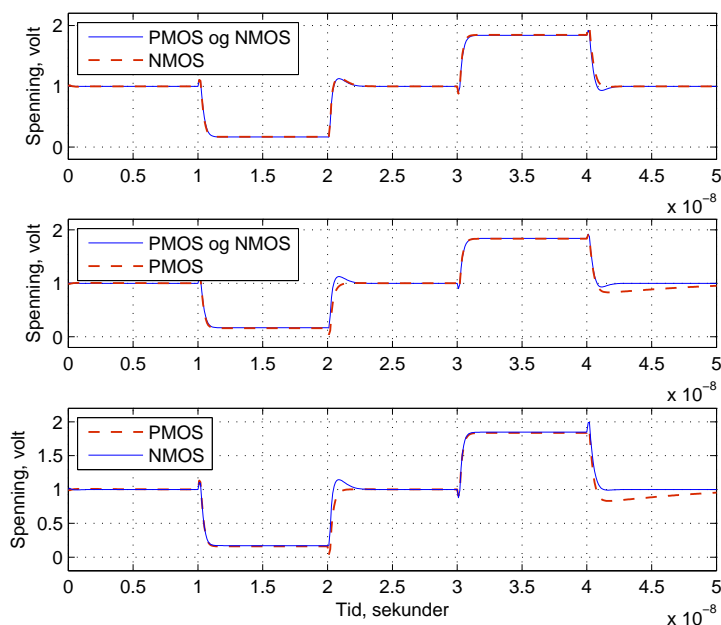
Figur 2.5: Spenningsnivået på SFG-noden til en oppladningsinverter, 50 MHz klokkefrekvens.

kan forklare hvorfor det er så liten forskjell mellom å bruke to eller en oppladningstransistor.

2.2.2 Flernivåinverter

I en flernivåinverter ligger spenningen på SFG-noden nær $V_{dd}/2$ både under opplading og signaloverføring. Det betyr at V_{gs} har mer effekt enn for en binærinverter (se figur 1.5 som viser spenningsnivået til SFG-noden). De samme simuleringene som var gjort for en binærinverter, gjøres for en flernivåinverter. Der ligger SFG-noden til inverteren mindre enn 100 millivolt over eller under $V_{dd}/2$. Nederste kurven i figur 2.5 viser spenningsnivået på SFG-noden til en flernivåinverter. I dette tilfellet er tilbakekoblingskondensatoren like stor som inngangskondensatoren. Hvis en reduserer størrelsen på tilbakekoblingskondensatoren, vil svinget til SFG-noden øke. Etter hvert som tilbakekoblingskondensatoren reduseres i størrelse, vil spenningsnivået på SFG-noden nærme seg spenningsnivået på SFG-noden til en binærinverter. Figur 2.6 viser simulering av en flernivåinverter som vist i figur 1.5. Det er liten forskjell på simuleringene sammenliknet med simuleringene av en binærinverter som vist i figur 2.3. Spenningsnivået til SFG-noden i en flernivåinverter ligger nær $V_{dd}/2$. Det gjør at V_{gs} for PMOS-oppladningstransistor og NMOS-oppladningstransistorene blir forskjellige og en skulle tro at det gjorde utsignalene med en oppladningstransistor dårligere for flernivåinverteren, enn for den binæreinverteren som har større forskjell på spenningen på SFG-noden. Det er ikke tilfelle når en ser på de flankene som går fra jord til $V_{dd}/2$ og fra V_{dd} til $V_{dd}/2$.

Konklusjonen er at en PMOS-oppladningstransistor bidrar lite i tillegg til en NMOS-oppladningstransistor. En PMOS-oppladningstransistor må også



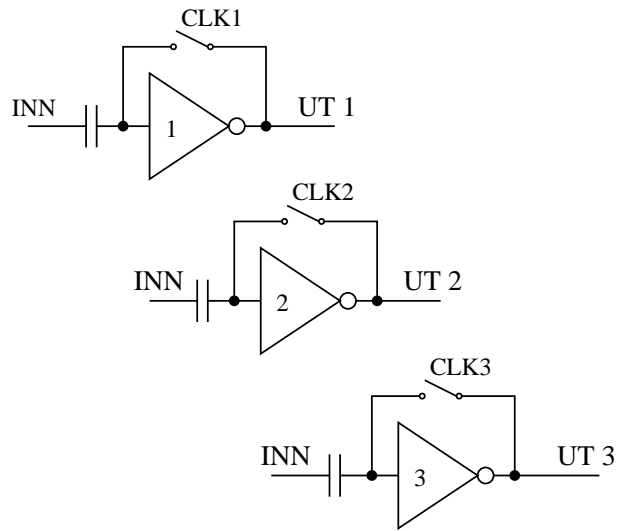
Figur 2.6: Utsignal fra flernivåinverteren i figur 1.5.

være omkring fem ganger så bred som en NMOS-oppladningstransistor for å lede like mye strøm. Når den blir bredere, bidrar den også med mer last, som normalt sett ikke er bra. En Semi floating-gate inverter med en NMOS-oppladningstransistor gir et godt signal. Ved lave frekvenser er det ikke nødvendig med mer enn en NMOS-oppladningstransistor. Ved høyere frekvenser enn 50 MHz kan det være nødvendig å ha både en PMOS- og en NMOS-oppladningstransistor for å få et optimalt signal. Samtidig bidrar en ekstra PMOS-transistor med ekstra last som reduserer den maksimale frekvensen kretsen kan oppnå.

2.3 Forskyving av signaler

Ved simulering på skjema og utlegg blir det benyttet klokker som er synkrone med innsignalene. I praksis i en større krets på en brikke, kan det ofte skje at klokkene ikke er hundre prosent synkrone med innsignalene. I noen sammenhenger er signalet lite påvirket av det. I andre tilfeller er det absolutt nødvendig at klokkene er synkrone med signalet, for at signalet ikke skal forsvinne.

Forsinkelse i et signal oppstår når det sendes gjennom en krets. Forsinkelsen summeres opp over antall kretser som signalet går i gjennom. Større transistorer og kondensatorer øker lasten, og øker forsinkelsen gjennom en krets ved at signalet får lenger stige- og falltider. Klokkesignalet på en krets blir forsinket når den rutes til forskjellige steder på en brikke, på grunn av avstanden signalet tilbakelegger. Når klokkesignalet blir rutet langt, må det



Figur 2.7: Tre semi floating-gate invertere med forskjellig forsinkelse på klokken i forhold til innsignalet.

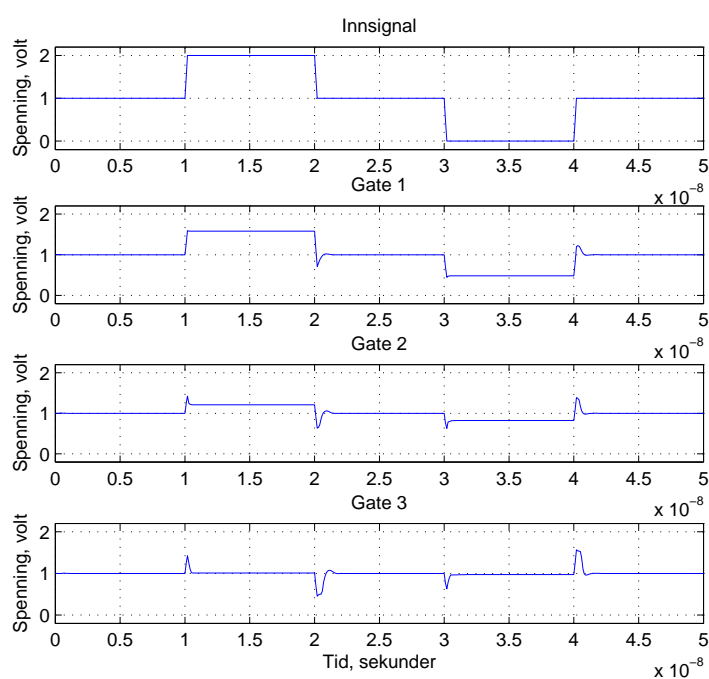
forsterkes opp en eller flere ganger. Det vil også gi en liten forsinkelse. Resultatet blir at innsignalene og klokkesignalet ikke er synkrone overalt på en brikke. I dette delkapitlet vurderes de forskjellige tilfellene av forsinkelse.

2.3.1 Forskyving mellom klokkesignal og innsignal

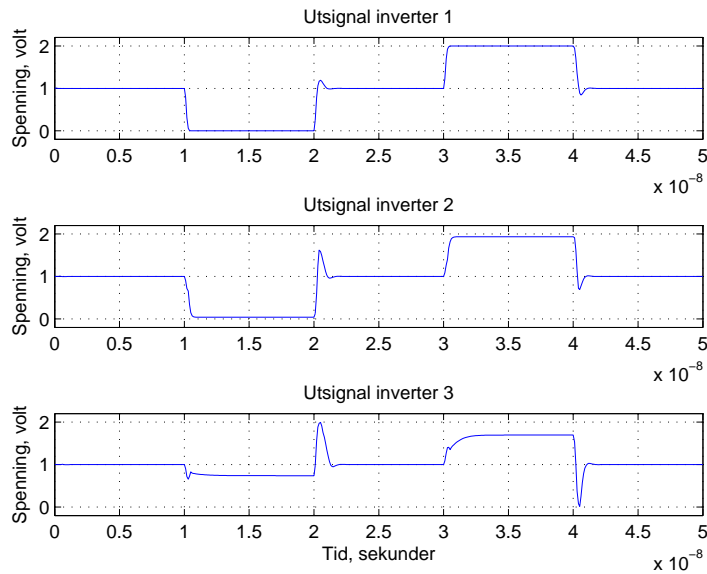
2.3.1.1 Forsinkelse i klokkesignalet i forhold til innsignalet i en binær SFG

Når klokkesignalet blir forsinket i forhold til innsignalet i en semi floating-gatekrets, kan det oppstå problemer. Det er satt opp et testoppsett i figur 2.7, hvor det er tre semi floating-gate binære invertere. Klokkene CLK1, CLK2 og CLK3 er ikke synkrone. Klokken CLK2 er forsinket tilsvarende en og en halv stige- eller falltiden til innsignalet, i forhold til klokken CLK1, og klokken CLK3 er forsinket to og en halv ganger stige- eller falltiden til innsignalet, i forhold til klokken CLK1. Klokkefrekvensen er femti megahertz for alle tre klokkesignalene. Da er perioden 20 nanosekunder og pulslengden er 10 nanosekunder. Stige- og falltiden til innsignalet er 0,2 nanosekunder på alle flankene både til og fra $V_{dd}/2$. Klokkesignalene har en stige- og falltid på 0,1 nanosekunder på alle flankene fra jord til V_{dd} . Siden klokkepulsene går mellom jord og V_{dd} , mens innsignalet bare går til og fra $V_{dd}/2$. Da får innsignalet fire ganger lenger stige- og falltid. Signalenes stige- og falltid er valgt for at forholdene skal være litt mer realistiske under simuleringene. Stige- og falltidene er sannsynligvis kortere enn de vil være i en krets på en virkelig brikke.

Figur 2.8 viser innsignalet og simulering av SFG-noden til inverterne. Den øverste kurven viser innsignalet som er et binært oppladningssignal.



Figur 2.8: Innsignal og spenningsnivået på gaten til inverterne når, klokkesignalet er null, 1,5 og 2,5 ganger stige- eller falltiden til innsignalet forsinket i forhold til innsignalet.



Figur 2.9: Utsignal fra inverterene når, klokkesignalet er null, 0,3 og 0,5 nanosekunder forsinket i forhold til innsignalet.

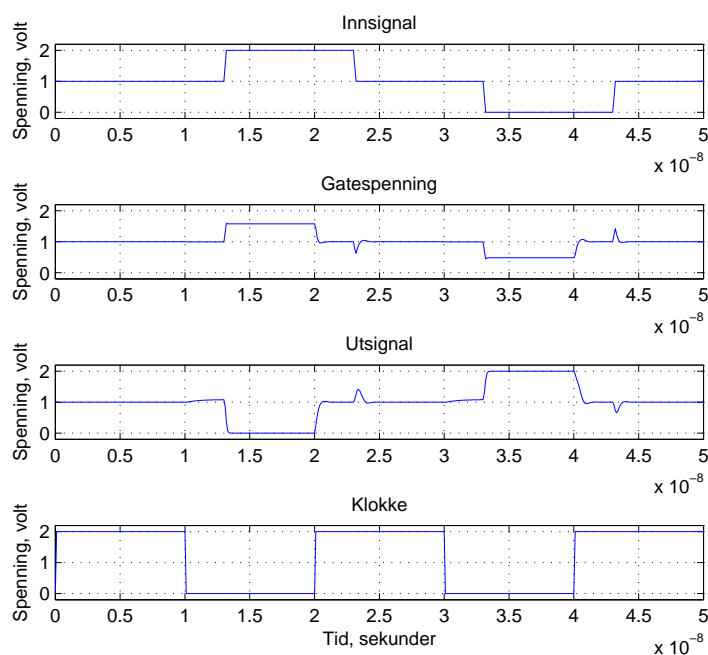
Signalet blir sendt til alle tre inverterene. De andre tre kurvene viser spenningsnivået på de tre SFG-nodene til inverterene.

Kurve nummer to viser spenningsnivået på SFG-noden til inverter en, hvor innsignalet og klokkesignalet er synkron. Spenningsnivået på SFG-noden til inverteren ligger på 1,6 volt og 0,5 volt, når oppladningstransistorene er av.

Kurve tre viser spenningsnivået på SFG-noden når klokkesignalet er en og en halv gang forsinket i forhold til stige- og falltiden til innsignalet. Her er spenningsnivået på 194 millivolt over V_{dd}/s og 146 millivolt under $V_{dd}/2$. Dette er på grunn av forsinkelsen til klokken. Når innsignalet kommer til verdi '1' på x-aksen, da stiger spenningsnivået på SFG-noden. Samtidig er klokken på og kortslutter SFG-noden og utgangen. Det gjør at spenningsnivået på SFG-noden først stiger litt for så å synke til klokken slås av, 0,3 nanosekunder etter at innsignalet kom.

Kurve fire viser spenningsnivået på SFG-noden når klokkesignalet er 2,5 ganger stige- eller falltiden forsinket i forhold til innsignalet. Når signalet kommer, er klokken fremdeles på (verdi '1' på x-aksen). Nå er klokken på helt til spenningen på SFG-noden er nede på 9 millivolt over $V_{dd}/2$.

Utsignalene fra simuleringene vises i figur 2.9. Utsignalet fra inverter en, er i den øverste kurven. Det er som det skal være. Den midterste kurven viser signalet fra inverter to. Selv om spenningen på SFG-noden var mellom hundre og 200 millivolt, kommer pulsene nesten ned til jord, 49 millivolt og nesten opptil V_{dd} 1916 millivolt. Flankene er litt krummere enn for inverter en. Det blir en uønsket puls på signalet når signalet går mot $V_{dd}/2$,



Figur 2.10: Signaler når innsignalet er forsinket 3 nanosekunder i forhold til klokken.

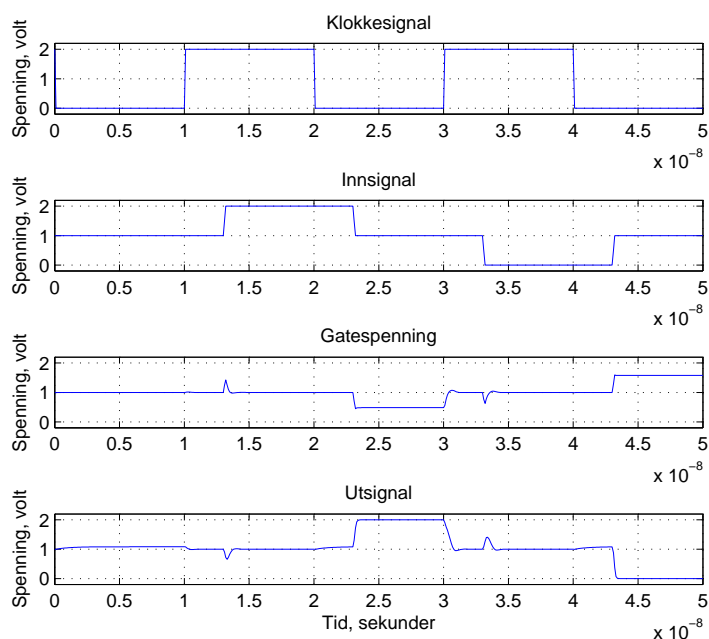
siden klokken er forsinket og ikke kortslutter SFG-noden og utgangen til inverteren.

Den siste kurven viser et signal som er blitt ødelagt fordi klokken er forsinket. Hvor mye klokkeforsinkelse en krets kan klare, er avhengig av stige- og falltidene til signalene. Dess lenger stige- og falltider, dess mer klokkeforsinkelse kan kretsen klare. Det er også en grense for hvor lange stige- og falltidene kan være før det får negative effekter for signalpulsbredden og -nivået.

2.3.1.2 Forsinkelse av innsignalet i forhold til klokkesignalet

Når innsignalet er forsinket oppstår det mindre problemer enn når klokkesignalet er forsinket. Simuleringer i figur 2.10 viser resultatet. Øverste kurve viser innsignalet, og nederste kurve viser klokken. Innsignalet er 3 nanosekunder forsinket i forhold til klokkesignalet. Ved verdi 10 nanosekunder på x-aksen slås klokken av. Innsignalet er fremdeles på $V_{dd}/2$, og det samme er SFG-noden til inverteren siden det ikke har skjedd noen endring av potensialet på SFG-noden. Når innsignalet kommer får SFG-noden en spenning på 1578 millivolt, og neste puls 482 millivolt. Det gjør at utsignalet ligger på henholdsvis jord og V_{dd} .

Bakdelen med at innsignalet er forsinket er at når klokken slås på blir



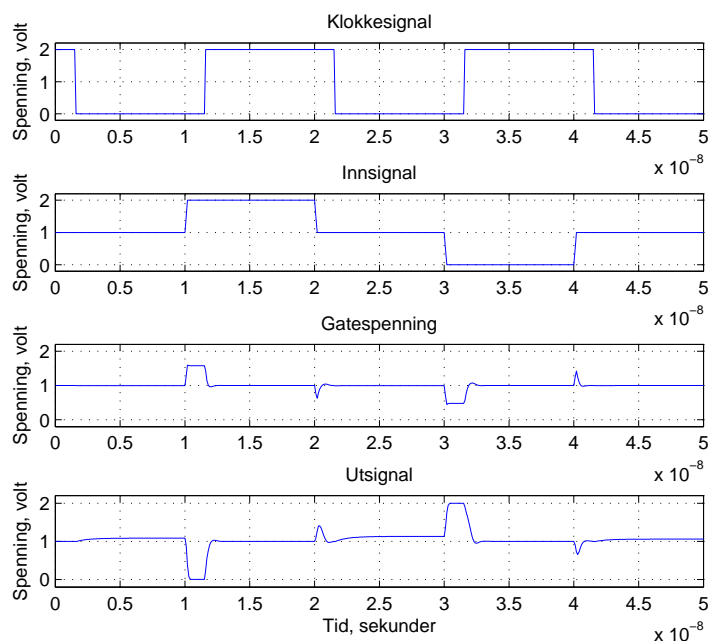
Figur 2.11: Signal ved SFG-latching, når innsignalet er 3 nanosekunder forsinket i forhold til klokkesignalet.

utsignalet kuttet av. Resultatet blir at signalpulsene blir forkortet. Hvis innsignalet blir forsinket en halv klokkeperiode, vil innsignalet bli ødelagt av klokken som er på når signalpulsene kommer. Ved økende frekvens blir det viktigere at forsinkelsen av innsignalet i forhold til klokkesignalet er minst mulig, for at signalpulsene skal være brede nok til å bli evaluert.

2.3.2 Synkronisering av signaler i en inverter som SFG-latcher

2.3.2.1 Forsinkelse av innsignalet i forhold til klokkesignalet

Når det oppstår forsinkelse av innsignalet i forhold til klokkesignalet i en inverter som SFG-latcher, oppnår en å redusere bredden på pulsene til utsignalet. Figur 2.11 viser simuleringsresultatene. Her er innsignalet forsinket 3 nanosekunder, når pulsbredden er 10 nanosekunder. Det vil si at klokkefrekvensen er 50 MHz. Kurve tre viser gatespenningen. Mellom verdi 10 og 20 nanosekunder på x-aksen er klokken på og kortslutter inngangen og utgangen til inverteren. Når innsignalet kommer, gir det likevel en liten puls på verdi 13 nanosekunder' på x-aksen. Når klokken slås av ved verdi 20 nanosekunder på x-aksen, og er isolert, fortsetter SFG-noden å ligge på 1 volt spenning til avsluttende flanke, til innsignalet kommer 3 nanosekunder forsinket. Da kommer en spenningsforandring

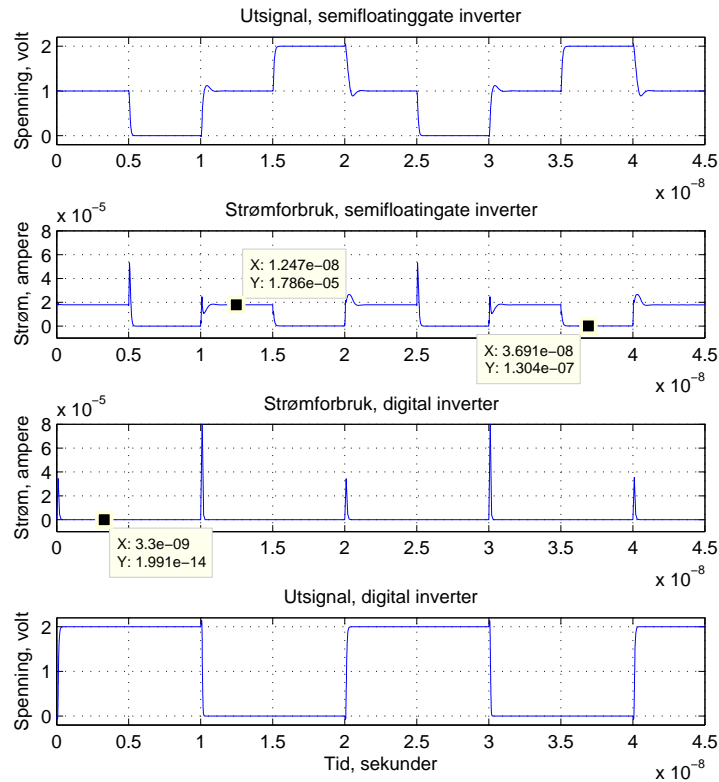


Figur 2.12: Signal ved SFG-latching, når klokkesignalet er forsinket 1,5 nanosekunder i forhold til innsignalet.

på SFG-noden, som blir invertert til utsignalet. Det kommer helt opp til Vdd, som er det nivået det skal til. Når klokken slås på ved x-verdi 30 nanosekunder, blir gatespenningen igjen justert til $V_{dd}/2$. Pulsen til utsignalet blir 7 nanosekunder bredt istedenfor 10 nanosekunder. Forsinkelse av innsignalet oppstår når det sendes gjennom en krets, og summeres opp med antall kretser. Hvis det er for mange kretser i serie og frekvensen er høy, oppstår det problemer med at pulsen blir for smal til slutt.

2.3.2.2 Forsinkelse av klokkesignalet i forhold til innsignalet

Når det oppstår forsinkelse av klokkesignalet i forhold til innsignalet, blir det et problem. Figur 2.12 viser simuleringsresultater hvor klokkesignalet er forsinket 1,5 nanosekunder i forhold til innsignalet. Resultatet er at utsignalet forsvinner helt. Årsaken er at SFG-latchingen er avhengig av at innsignalforandringen er synkron med klokken. I en SFG-latch er klokken på, og kortslutter inngangen og utgangen til inverteren, samtidig som innsignalpulsen kommer. Signalpulsen evalueres på avsluttende flanke, det gjør at første flanke til signalpulsen ikke benyttes til evaluering. Når klokkesignalet er forsinket i forhold til innsignalet vil klokken kortslutte inngang og utgang når avsluttende flanke kommer. Innsignalet har en falltid på 0,2 nanosekunder fra Vdd til $V_{dd}/2$. Hvis klokkesignalet er mer



Figur 2.13: Strømforbruk i binærinverter og digitalinverter. Simuleringer i skjema av strømmen gjennom NMOS-transistoren, ved 100 MHz.

forsinket enn det vil pulsene fra innsignalet bli fjernet. I figur 2.12, viser kurve tre gatespenningen. Fra x-verdi null til 10 nanosekunder er SFG-noden til inverteren flytende. Fra x-verdi 10 til 20 nanosekunder er SFG-noden til inverteren kortsluttet med utgangen, bortsett fra de første 1,5 nanosekundene hvor klokken er forsinket. Det gjør at innsignalet lager en pulstopp på SFG-noden til inverteren. Ved x-verdi 20 nanosekunder kommer avsluttende flanke fra innsignalet, men den blir raskt fjernet av klokken som fremdeles kortslutter SFG-noden og utgangen til inverteren. Resultatet av et forsinket klokkesignal, er et utgangssignal som ligger på $V_{dd}/2$ med noen smale pulser som ikke skal være der. Siden klokken er på når inverteren skal SFG-latche.

Komponent	Bredde/størrelse
PMOS SFG-inverter	3,05 mikrometer
PMOS tradisjonellinverter	1,6 mikrometer
PMOS flernivåinverter	3,05 mikrometer
NMOS alle inverterene	0,6 mikrometer
Oppladningstransistor, binær	0,6 mikrometer
Oppladningstransistor, flernivå	1,0 mikrometer
Inngangskondensator, binær	9,9fF
Inngangskondensatorer, flernivå	3, 6 og 12fF
Tilbakekoblingskondensator	22fF

Tabell 2.2: Størrelsen til komponentene ved simulering av strømforbruk.

2.4 Strømforbruk

Vi ser på strømforbruket til SFG-invertere. Referansene [2, 1] forteller at SFG-kretser kan benyttes til laveffekts digitale kretser.

Strømforbruk til en krets er avhengig av både statisk- og dynamisk effektforbruk, og forsinkelse av signalet gjennom en inverter. Totalt strømforbruk er gitt av likning 2.2

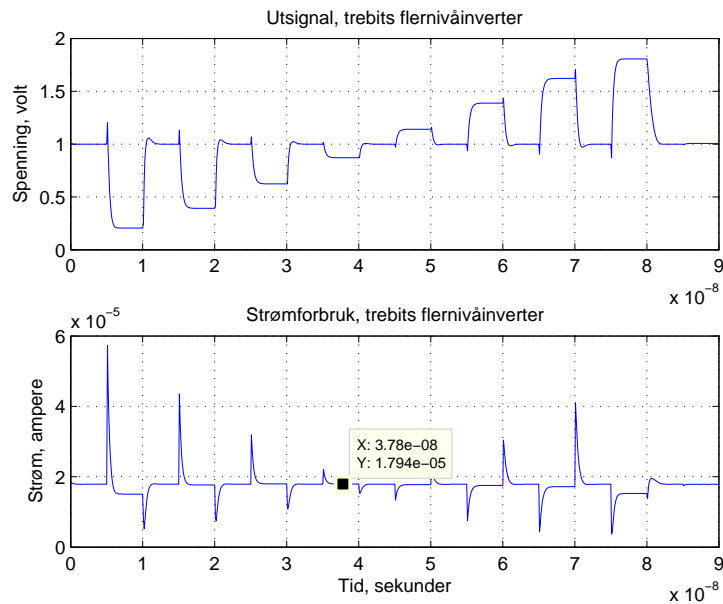
$$P = P_{statisk} + P_{dynamisk} + P_{forsinkelse} \quad (2.2)$$

Det statiske strømforbruket avhenger av forsyningsspenningen og lekkasjestrømmen gjennom transistorene når de er av. Hver gang kretsen forandrer utsignalet, øker strømforbruket en kort periode. Det er dynamisk strømforbruk. Hvor stort strømforbruket er, avhenger av stige- og falltid til innsignalet, og dermed også lastkapasitansen. Forsinkelse gjennom kretsen avhenger av motstanden gjennom transistorene i en inverter og lastkapasitansen.

Det er simulert for å sammenlikne strømmen i en semi floating-gate inverter og en tradisjonell inverter. Semi floating-gate inverteren er vist i figur 1.2 c, og den tradisjonelle inverteren er tilsvarende inverteren i figur 1.2 a, uten kondensatoren på inngangen. Det er ingen ekstra last på utgangene. Simuleringsresultatene er vist i figur 2.13. Størrelsen til transistorene og kondensatoren er gitt i tabell 2.2. Det er strømmen gjennom NMOS-transistoren som er simulert. Kurve nummer to viser strømmen i en semi floating-gate inverter. Strømmen gjennom transistoren varierer ettersom utgangen er $V_{dd}/2$ eller ikke. Den er 18 mikroampere når utgangen er $V_{dd}/2$, og er 8 nanoampere når signalet er høyt eller lavt. Dette representerer det statiske strømforbruket.

Hver gang signalet går høyt eller lavt, øker strømmen, og vi ser høye og spisse topper i strømforbruket. Årsaken er at en kort periode er begge transistorene i inverteren åpne. De er både i det lineære området og i metning i løpet av signalforandringen. Samtidig blir også lastkapasitansen som kretsen representerer, ladet opp eller ut, avhengig av signalforandringen.

Den tradisjonelle inverteren har et signal som er enten høyt eller lavt. Strømmen gjennom inverteren ligger på 19 femtoampere som er vesentlig

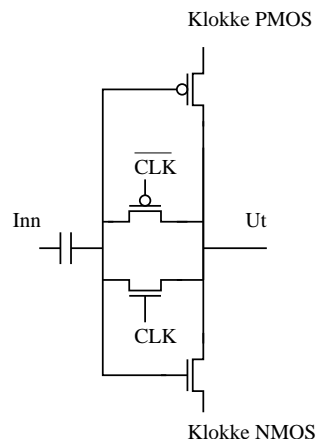


Figur 2.14: Strømmen i en trebits flernivåinverter

lavere enn den laveste statiske strømmen gjennom semi floating-gate inverteren. Det kommer av at utsignalet ikke er absolutt null volt for semi floating-gate inverteren. For den tradisjonelle inverteren er det lave utsignalet 9 nanovolt, og for den semi floating-gate inverteren er utsignalet 46 mikrovolt. Da er det en større potensialforskjell over kanalen til NMOS-transistoren. Selv om gaten spenningen til NMOS-transistoren er null volt, og kanalen ikke er åpen, er det likevel en liten lekkasje som øker ved økende potensialforskjell mellom 'source' og 'drain'.

Det dynamiske strømforbruket til en tradisjonelle inverter er høyt i forhold til det statiske strømforbruket. Her ligger de høyeste toppene på 81 mikroampere. For en semi floating-gate inverter ligger de høyeste toppene på 53 mikroampere. Det er liten forskjell på det dynamiske strømforbruket mellom en tradisjonelle inverter og en semi floating-gate inverter.

Strømforbruket til en semi floating-gate flernivåinverter er høyere enn strømforbruket til en semi floating-gate inverter, da spenningsnivået til SFG-noden til flernivåinverteren ligger mindre enn 100 millivolt fra $V_{dd}/2$. Figur 2.14 viser simulering av utsignalet og strømmen gjennom NMOS-transistoren i inverteren. Den statiske strømmen ligger nesten på det samme nivået under hele simuleringen. Strømmen er nesten lik siden transistorene i inverteren er i metning under simuleringen. Den dynamiske strømmen varierer med høyden til pulsen i utsignalet. Strømpulsene er bredere enn for semi floating-gate inverteren. Det er på grunn av lastkapasitansen til kretsen gjør at stige- og falltiden til signalpulsene blir lenger. Det fører til at det går mer strøm ved hver pulsforandring.



Figur 2.15: Semi floating-gate inverter med klokket jord og strømforsyning

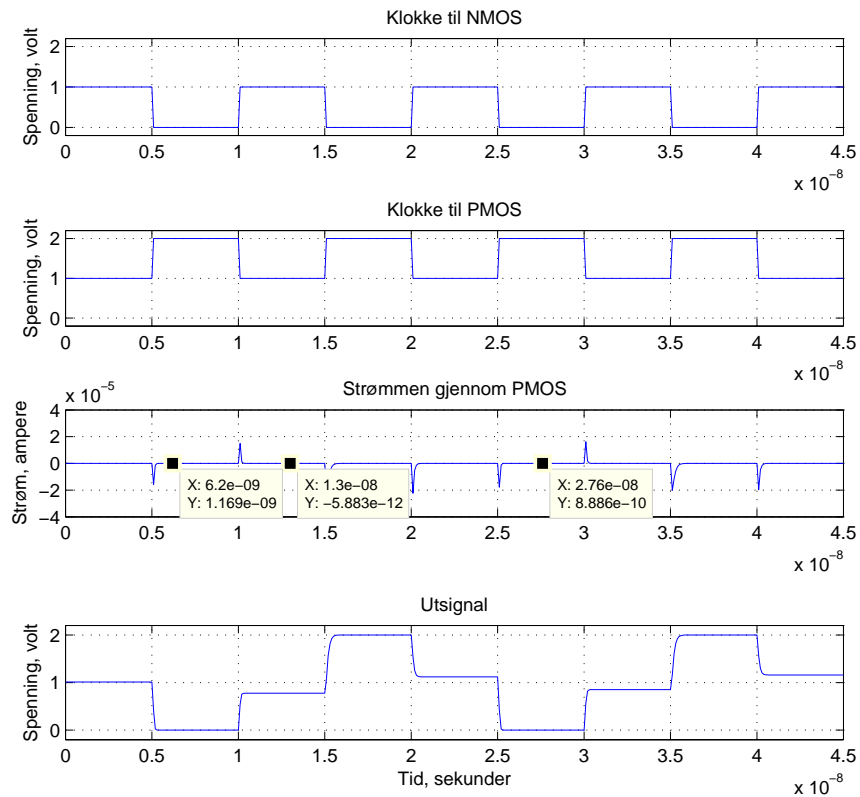
Semi floating-gate kretser egner seg ikke når strømmen kommer fra en begrenset kilde som et batteri, siden det totale strømforbruket er vesentlig høyere enn i en tradisjonell inverter. Ulempen med et høyt strømforbruk, vil også være behovet for kjøling når kretsen består av for eksempel mange hundre tusen transistorer. Fordelen med semi floating-gatekretser er at de har mindre forskjell mellom statisk og dynamisk strømforbruk. En krets av tradisjonelle invertere må dimensjoneres for det høye strømforbruket ved hver signalforandring selv om kretsen bruker lite strøm resten av tiden.

2.4.1 Inverter uten Vdd og jordtilkobling

For å unngå at det går mye strøm mellom jord og Vdd under oppladningsperioden, er det designet en semi floating-gate inverter hvor jord og strømforsyningen er erstattet med to klokker. Under oppladningsperioden ligger klokkene på $V_{dd}/2$. Da blir V_{ds} gjennom inverteren minst mulig.

Det er gjort simuleringer for å vurdere om en semi floating-gate inverter struktur med strømforsyning gjennom en klokkepuls, vil ha et lavere strømforbruk enn de strukturene som er presentert tidligere (se figur 2.15). Det er to klokker, en for Vdd og en for jord. Den ene klokken er justert til å være på $V_{dd}/2$ når SFG-noden blir ladet opp, og være høy for å tilsvare Vdd for PMOS-transistoren når signalpulsen kommer. Den andre klokken er motsatt og beregnet for å tilsvare jord. Figur 2.16 viser simulering av klokkene, strømforbruket og utsignalet fra inverteren. Kurven ser jevn ut, bortsett fra glitchene ved hver signalforandring. Hvis kurven hadde vært forstørret opp mer, ville en sett at strømmen varierte i styrke og retning. Det er vist i tekstboksene som viser koordinatene til et punkt. Når strømmen forandrer retning, vil det oppstå støy som avhenger av frekvensen til forandringen. Det kan påvirke andre signaler i nærheten.

Utsignalet har riktig nivåer for signalpulsene, men oppladningsnivået er ikke på $V_{dd}/2$. Det ligger på 200 millivolt under $V_{dd}/2$ når signalet går fra jord, og 100 millivolt over $V_{dd}/2$ når signalet går fra Vdd.



Figur 2.16: Simulering av inverter med klokket Vdd og jord

Både det statiske- og det dynamiske strømforbruket er lavere enn en tilsvarende krets med forsyningsspenning og jord. Det er likevel ikke å anbefale å benytte kretsen, uten en bedre klokkestrategi som gjør at oppladningsnivåene er på $V_{dd}/2$, og at strømmen på utgangen forandrer retning flere ganger i løpet av en signalpuls.

2.5 Oppsummering

Det er forklart fordelene og ulempene med en eller to oppladningstransistorer, hva som skjer ved en forskyving mellom innsignalet og klokkesignalene, strømforbruket til semi floating-gate inverter, og en ny måte å gi strøm til semi floating-gate inverteren. Det er benyttet et klokkesignal istedenfor jord og Vdd.

Det er ikke nødvendig med både en PMOS- og en NMOS-oppladningstransistor. NMOS-transistoren er den beste av de to. PMOS-transistoren er en tanke raskere når det gjelder å dra signalet fra Vdd til $V_{dd}/2$. I de fleste sammenhenger er det ubetydelig, og semi floating-gate inverteren virker godt nok

med en NMOS-oppladningstransistor.

Semi floating-gate kretser er følsomme for forskyving av innsignalet i forhold til klokkesignalet. Hvis klokkesignalet er forsinket i forhold til innsignalet, mer enn stige- eller falltiden til innsignalet, vil innsignalet forsvinne. I det omvendte tilfellet vil signalpulsene bli smalere, tilsvarende forsinkelsen, men signalet vil fortsatt være der.

En SFG-latch er følsom for forskyvinger i både innsignalet og klokkesignalet. Ved en forsinkelse på mer enn en stige- eller falltid, enten på innsignalet eller på klokkesignalet i en SFG-latch, vil signalet forsvinne.

Semi floating-gate kretser har et vesentlig høyere statisk strømforbruk enn tradisjonelle kretser, og forholdsvis likt dynamisk strømforbruk, flernivåinvertere har høyere statisk strømforbruk enn binæreinvertere.

Det er testet ut en semi floating-gate inverter som ikke er tilkoblet jord og forsyningsspenning. Istedenfor har den to kløkker som gir strøm bare når signalpulsen kommer. Ideen var å redusere det statiske strømforbruket når semi floating-gate inverteren gir $V_{dd}/2$ ut og både PMOS- og NMOS-transistorene er i metning. Resultatet var et lavere strømforbruk i forhold til den vanlige semi floating-gate inverteren, men langt høyere enn en tradisjonellinverter.

Det bør utvikles en bedre klokkestrategi. Strømforbruket er høyere enn forventet, en bør finne en annen løsning enn oppladningstransistorer for å kunne holde strømforbruket lavt.

Kapittel 3

Binær til Flernivå Konverter

3.1 Innledning

For å kunne benytte et binært signal i en flernivåkrets er det nødvendig å konvertere signalet til et flernivåsignal. En **Binær til Flernivå konverter (BFK)** kan gjøre det. I 1991 rapporterte [13] om at det var laget binær til flernivå konverter ved bruk av en NMOS-transistor med to polylag på gaten. Det øverste polylaget var delt opp i et gitt antall innganger. Det underste polylaget var flytende, det vil si elektrisk isolert fra omgivelsene.

Flernivåkretser har fordelene at de kan være kompakte og kan designes med bruk av færre transistorer, og mindre areal [1].

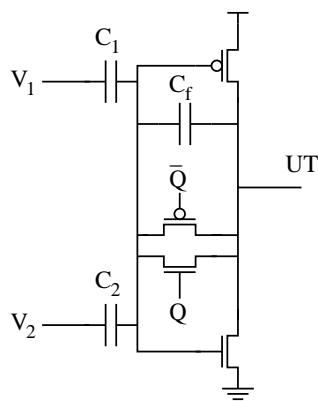
3.2 Tobits binært til flernivå konverter

Den enkleste typen av Binær til Flernivå Konverter er en tobits konverter. Den er bygget opp av en semi floating-gate inverter, som inverteren i figur 1.5, men den har to innsignaler og dermed krever den to kondensatorer på gaten til inverteren som i figur 3.1. Kondensatorene overfører innsignalet til SFG-noden, og de er vektet i forhold til hverandre.

Signalene til BFK kretsen er plottet i figur 3.2. Her er det vist signalene som går inn og ut av en tobits BFK. Klokkesignalet har dobbel så høy frekvens som innsignalet. Det er to klokkesignaler i motfase som gjør at oppladningstransistorene er samtidig på og av. Spenningsnivåene til signalene er vist i tabell 3.1.

Innsignalet må være et oppladningssignal. For hver klokkeperiode har innsignalet en halv klokkeperiode, hvor SFG-noden til inverteren blir ladet til $V_{dd}/2$. Kurve nummer to representerer innsignalet til det mest signifikante bitet (MSB), det som har høyest verdi. Kurve nummer tre representerer innsignalet til det minst signifikante bitet (LSB).

En tobits BFK gir et utsignal med fire nivåer med oppladningsperiode mellom hver signalpuls. Den BFKen som er simulert har kondensatorverdiene $C_1 = 5$ fF og $C_2 = 10$ fF og $C_f = 15$ fF. Utsignalet har et arbeidsområde på 1564 millivolt. Arbeidsområdet til utsignalet kan bli større hvis tilbakekoblingskondensatoren gjøres mindre. Da øker forsterkningen, og avstan-



Figur 3.1: Tobits BFK

den mellom hvert spenningsstrinn vil bli mer ulineært. For å gjøre avstanden mellom hvert spenningsstrinn lineær, økes størrelsen til tilbakekoblingskondensatoren. Ulempen er da at arbeidsområdet blir mindre, og samtidig minker avstanden mellom hvert spenningsstrinn. Lastkapasitansen til BFK-en øker også, med økende størrelser på kondensatorene. Fordelen med en tobits BFK er en relativt stor støymargin for signalene i forhold til en trebits BFK.

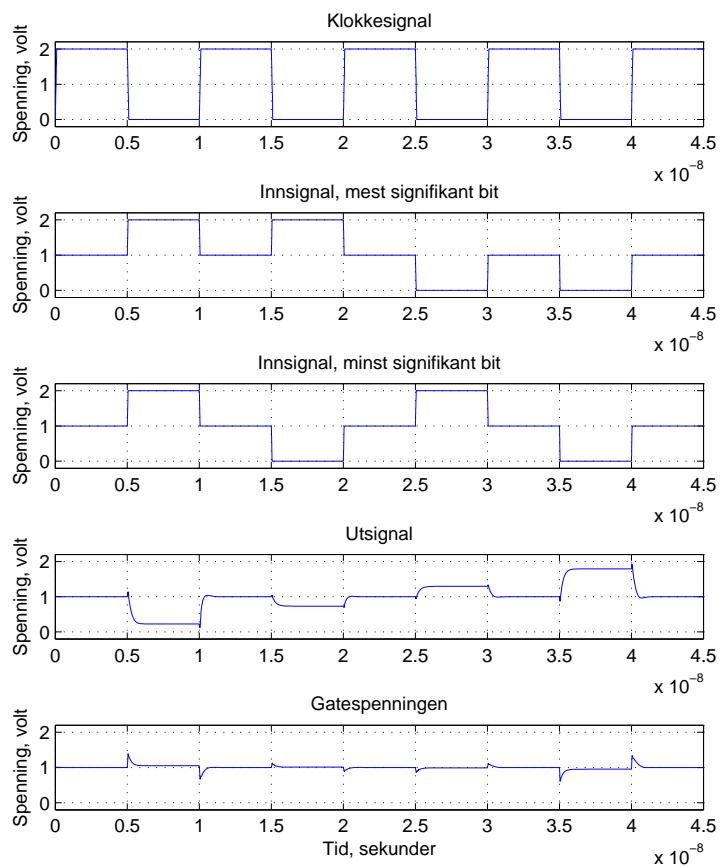
3.2.1 Dimensjonering av inngangskondensatorer

Inngangskondensatorene til BFKen har forskjellige størrelser. Kondensatoren C_1 er minst, og representerer det minst signifikante bitet, og kondensatoren C_2 er størst, og representerer det mest signifikante bitet. Forholdet mellom størrelsen på de tre kondensatorene er gitt av prinsippet om spenningsfordeling. Det sier at liten kondensator har liten kapasitet til å lagre ladning, og vil gi et mindre bidrag til signalet på gaten enn den største kondensatoren. Likningen 3.1 gir størrelsesforholdet mellom inngangskondensatorene, hvor 'm' er antall innganger, og 'r' er en teller, og starter på en

$$C_r = 2^{r-1} C_1 \quad (3.1)$$

Forholdet mellom kondensatorene er en fordobling av kondensatorverdien mellom hvert trinn. Det kommer av at innsignalene er binære, og det første signalet er dobbelt så mye verdt som det neste.

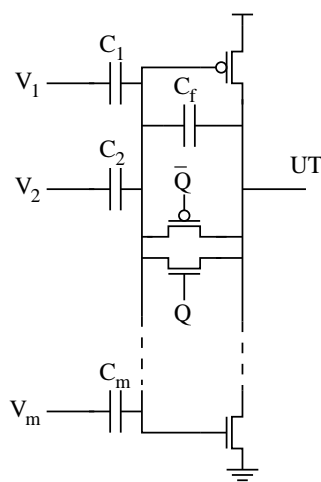
Det er en fordel å ha så små kondensatorer som mulig, for å redusere lastkapasitansen til kretsen. Økende stige- og falltider og økende strømforbruk følger med økende lastkapasitans. Ulempen med små kondensatorer, er større påvirkning av mismatch under produksjonen av brikken.



Figur 3.2: Signalene til tobits BFK.

Pulsnummer	1	2	3	4
Klokkesignal	0	0	0	0
Innsignal MSB	2000	2000	0	0
Innsignal, LSB	2000	0	2000	0
Utsignal	227	731	1295	1791
Gatespenningen	1050	1009	991	951

Tabell 3.1: Spenningsnivåene til kurvene i figur 3.2, alle tall i millivolt



Figur 3.3: Flerebits BFK

3.2.2 Spenningsnivå

Avstanden mellom hvert spenningsnivå er gitt ved likning 3.2, hvor 'm' er lik antall innganger.

$$\text{Ettspenningsnivå} = \frac{V_{dd}}{(2^m - 1)} \quad (3.2)$$

Når BFKen har to innganger og en har forsyningsspenning på 2 volt til kretsen, vil avstanden mellom hver nivå ideelt sett være 667 millivolt. I praksis vil avstanden mellom hvert nivå være mindre, siden kretsen ikke bruker hele spenningsområdet fra jord til Vdd. Ved å sette inn arbeidsområdet i volt i likningen istedenfor Vdd, vil en få den virkelige spenningsforskjellen mellom hvert spenningsnivå.

En inverter har en ulineær karakteristikk. Når utsignalet fra BFKen er nær Vdd, vil PMOS-transistoren være slått av eller i det lineære området og når utsignalet er nær null volt, vil NMOS-transistoren være slått av eller i det lineære området. Dette skaper forvrengning/flating av karakteristikken.

Det er en grense for hvor mange spenningsnivåer en BFK kan skille. Ved tre innganger er det åtte spenningsnivåer på utgangssignalet, ved fire innganger er det seksten spenningsnivåer på utgangssignalet. Med et arbeidsområde på 1600 millivolt er det omkring 100 millivolt mellom hvert spenningsnivå. Da blir det lite støymargin for hvert spenningsnivå.

Arbeidsområdet til kretsen er også avhengig av forsyningsspenningen. Prosesser med transistorer med kortere kanaler har lavere forsyningsspenning. Med dagens prosesser med forsyningsspenning på en volt, vil det være vanskelig å dele utgangen opp i mer enn noen få nivåer.

Pulsnummer	1	2	3	4	5	6	7	8
Klokkesignal	0	0	0	0	0	0	0	0
Innsignal 1	2000	2000	2000	2000	0	0	0	0
Innsignal 2	2000	2000	0	0	2000	2000	0	0
Innsignal 3	2000	0	2000	0	2000	0	2000	0
Utsignal	217	406	631	875	1129	1373	1602	1793
SFG-noden	1054	1023	1012	1004	996	988	979	951

Tabell 3.2: Spenningsnivåene til signalene til trebits BFK, simuleringene i figur 3.4, verdier i millivolt.

3.3 Flerebits binær til flernivå konverter

En BFK kan lages med fra to til mange innganger som i figur 3.3. Når antall innganger øker, blir avstanden mellom hvert spenningsnivå i utsignalet mindre. Med et gitt antall innganger, blir avstanden mellom hvert spenningsnivå for liten i forhold til mismatch, støymargin og forstyrrelser på signalet [1].

Her vil vi se nærmere på en trebits BFK. Den har ideelt sett 286 millivolt mellom hvert spenningstrinn, regnet ut fra likning 3.2. I praksis er avstanden mellom nivåene mindre på grunn av inverterens lineære område nær Vdd og jord, og på grunn av lasten som tilbakekoblingskondensatoren representerer. Dette gjør at arbeidsområdet blir mindre enn forsyningsspenningen.

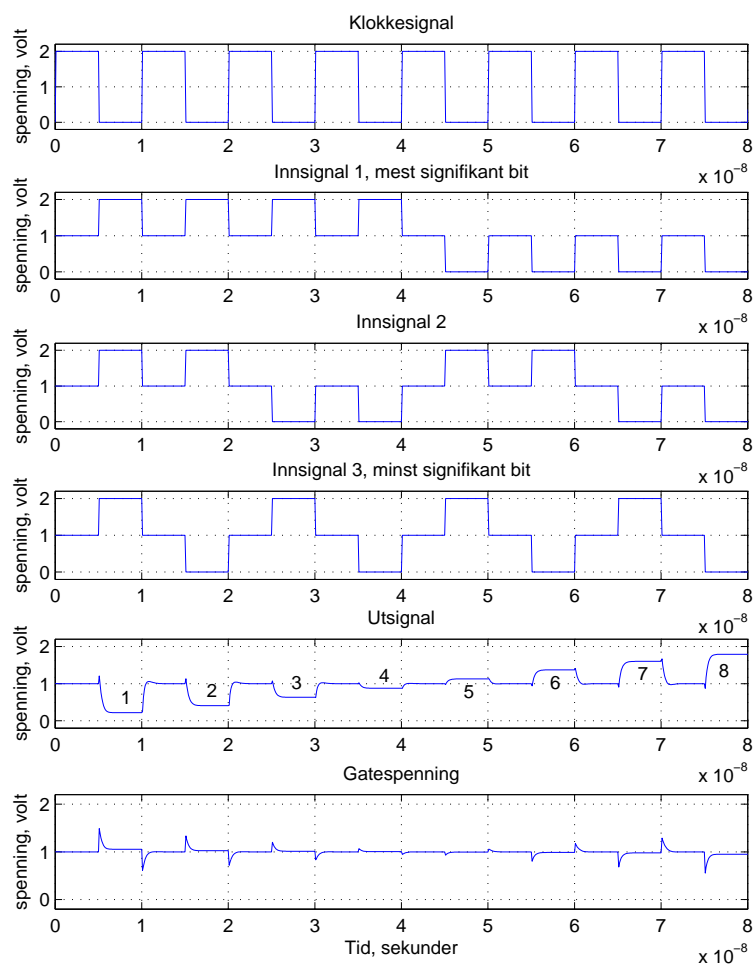
Størrelsen til transistorer og kondensatorer er de sammen som beskrevet i tabell 3.4, kolonne merket 'Minimum'. Simuleringsresultater er vist i figur 3.4, og spenningsnivåene til signalene er vist i tabell 3.2.

3.3.1 Justering av forsterkning i en trebits BFK

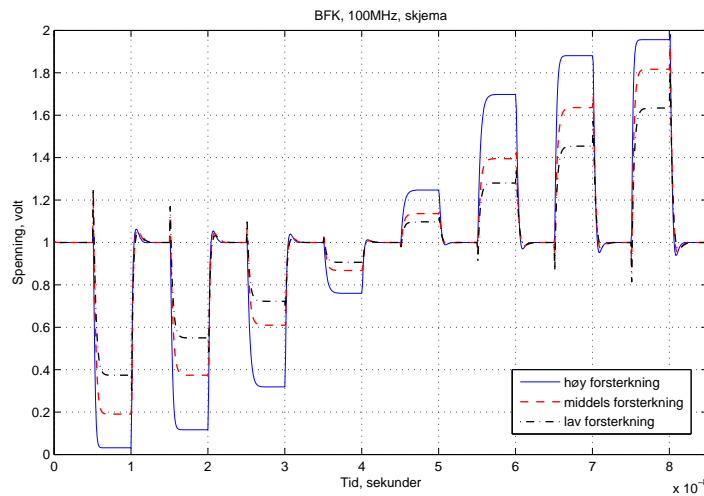
Forsterkningen til BFKen kan justeres ved å forandre størrelsen på tilbakekoblingskondensatoren. Figur 3.5 viser tre kurver fra en BFK med forskjellig størrelse på C_f . Kurven for en liten C_f går veldig raskt fra lav til høy. Den blå (hel linje) kurven i figur 3.5 viser utgangssignalet fra en BFK med en tilbakekoblingskondensator på 11 fF. Inngangskondensatorene er på $C_1=12$ fF, $C_2=6$ fF og $C_3=3$ fF. Kurven viser en profil som likner på en inverterkarakteristikk. Denne kurven egner seg dårlig til å representere et flernivåsignal, siden spenningsforskjellen mellom hvert trinn varierer mye. De første to tre pulsene har veldig liten spenningsforskjell, mens derimot de fire midterste pulsene har veldig stor spenningsforskjell.

Den røde (stiplede) kurven i figur 3.5 viser signalet fra en BFK med en tilbakekoblingskondensator C_f med en kapasitans på 21 fF, som er det samme som summen av inngangskondensatorene. Det gir en mer lineær kurve, hvor bare det første og det siste nivået ikke følger en forholdsvis rett linje. Fordelen med denne kondensatorstørrelsen er optimal forsterkning og et forholdsvis lineært signal samtidig.

Ved å øke C_f til 31fF blir signalet enda mer lineært, men forsterkningen reduseres, og avstanden mellom hvert spenningstrinn blir mindre. Den sorte (stiplet med prikk) kurven i figur 3.5 går fra 0,5 volt til 1,5 volt.



Figur 3.4: Signalene til trebits BJK, skjemasimulering



Figur 3.5: Skjemasimulering av en BFK med minimums komponenter.

Kretsen bruker bare halve spenningsområdet til forsyningsspenningen. Ved C_f på 21 fF bruker kretsen et spenningsintervall på 1,6 volt. Forsterkningen er gitt ved likningen 3.3, hvor ΣC_{in} er summen av inngangskondensatorene, og C_f er tilbakekoblingskondensatoren i en semi floating-gate inverter.

$$\text{Forsterkning} = -\frac{\Sigma C_{in}}{C_f} \quad (3.3)$$

Tabell 3.3 viser spenningsforskjellen i millivolt. Det er store variasjoner i spenningsforskjellen mellom spenningstrinnene med en tilbakekoblingskondensator på 11 fF. Utsignalet er lite egnet til å bruke som et flernivåsignal.

Signalet som blir dannet når tilbakekoblingskondensatoren er på 21 fF, er mer lineært. Stigningen til kurven er nær en. Spenningsforskjellene mellom hver puls er gitt i tabell 3.3. Spenningsforskjellene er forholdsvis jevne, bortsett fra på første og siste nivå. Det kommer av at da er enten PMOS-transistoren eller NMOS-transistoren i det lineære området. Når utsignalet er nær V_{dd} , er PMOS-transistoren i det lineære området, og når utsignalet er nær null volt, er NMOS-transistoren i det lineære området.

Det er verdien 21 fF som er brukt til tilbakekoblingskondensatoren i de kretsene det er simulert og målt på. Bakgrunnen for det valget er å bruke størst mulig del av arbeidsområdet, for å ha størst mulig spenningsforskjell mellom hver puls, og å få mest mulig lik avstand mellom hvert spenningstrinn. Med tilbakekoblingskondensator på 21 fF og V_{dd} på 2 volt blir arbeidsområdet redusert til 1,6 volt. Kretsen som mottok signalene ble dimensjonert for signalene fra BFKen. Ved å velge en tilbakekoblingskondensator som er større enn 21 fF, vil signalkurven få en lavere stigning, stigningstallet vil gå fra minus en og mot null. Det resulterer i at spenningsforskjellen mellom hvert nivå blir mindre, og samtidig blir spenningsforskjellene like store, noe som er en fordel.

Spenningsforskjell mellom pulser, (millivolt)

Puls	$C_f = 11$ fF	$C_f = 21$ fF	$C_f = 31$ fF
1-2	85	180	176
2-3	202	240	173
3-4	441	264	183
4-5	487	274	190
5-6	451	264	183
6-7	183	245	173
7-8	75	176	179

Tabell 3.3: Spenningsforskjell mellom pulsene fra utgangen til en BFK, ved tre forskjellige tilbakekoblingskondensatorer som vist i figur 3.5.

Spenningsforskjellene for en BFK med en tilbakekoblingskondensator på 31 fF er gitt i tabell 3.3. Der er utgangen nesten lineær.

3.4 Simulering og dimensjonering

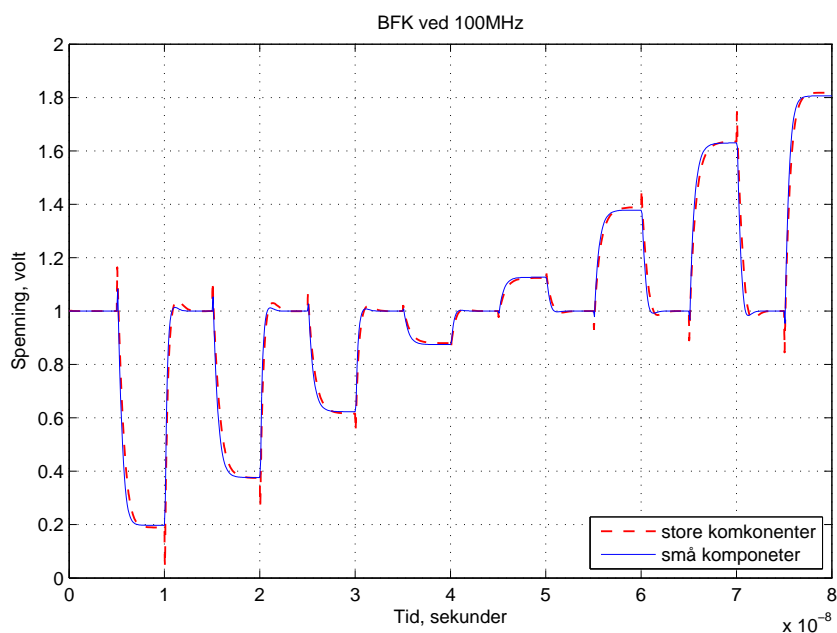
Det er undersøkt hvilken komponentstørrelse som gir den raskeste kretsen. Det er laget fire sammenlikninger hvor kondensatorene og PMOS- og NMOS-transistoren i inverteren, er variert mellom to forskjellige størrelser, fra minimums størrelse til doble størrelsen.

3.4.1 100 MHz skjemasimulering

Den første sammenlikningen av simuleringresultater er vist i figur 3.6, og størrelsen til komponentene er listet opp i tabell 3.4. Den ene simuleringen er med minimumskondensatorer og transistorer, og den andre simuleringen er det benyttet både store kondensatorer og transistorer. Det viser at parasittkapasitansen øker tilnærmet lineært i forhold til redusert motstand ved økende bredde på transistorene, og den øker ladningsoverføringskapasiteten til kondensatorene. Forskjellen i signalet er at lasten fra de store komponentene lager glitcher i begynnelsen av hver flanke. Det vil si at det er bedre med små komponenter, hvis ikke lasten til kretsene før og etter er for stor.

3.4.2 200 MHz skjemasimulering

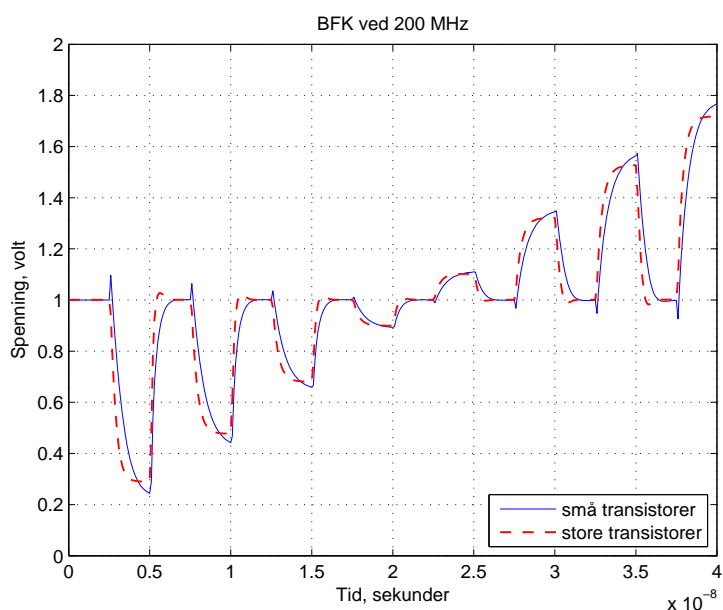
For å få BFK kretsen til å gi tilfredsstillende signaler ved 200 MHz, kreves det at kondensatorene er minimum for å ha minimum last, og øke størrelsen til transistorene. Størrelsen til kondensatorene og transistorene er gitt i tabell 3.5, og utgangssignalene er plottet i figur 3.7. Transistorene dobles i størrelse, og kondensatorene holdes konstant. Kretsen med minimumskomponenter klarer ikke å komme helt frem til det nivået den skal. Det ser en ved at flankene ikke flater ut på toppen, og ved å sammenlikne med tilsvarende kurve i figur 3.6, hvor kretsen med



Figur 3.6: Skjemasimulering av BFK med minimums kondensatorer og transistorer, og med kondensatorer og transistorer som er to ganger større enn minimumskomponentene.

	Minimum	Stor
C_1	12 fF	20 fF
C_2	6 fF	10 fF
C_3	3 fF	5 fF
C_f	23 fF	35 fF
PMOS	3,05 μm	5,9 μm
NMOS	0,6 μm	1,2 μm
opplading, P- og NMOS	1 μm	3 μm

Tabell 3.4: Størrelse på komponentene i BFK-kretsene i figur 3.6



Figur 3.7: Skjemasimulering av to BFKer, begge har minimumskondensatorer, en har minimumstransistorer, og en har store transistorer.

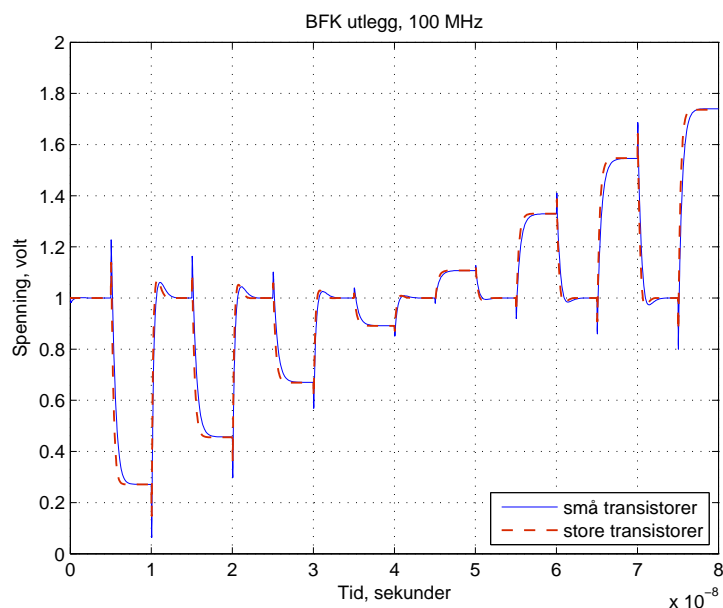
minimumstransistorer er simulert ved 100 MHz. På den kurven kan en lese av at laveste nivå skal ligge på 200 millivolt, og høyeste nivå skal ligge på 1800 millivolt. Når minimumskretsen blir kjørt på 200 MHz (i figur 3.7), kommer pulsene ikke så langt ned, eller så langt opp som de skal.

Kretsen med store transistorer har flanker som flater ut på toppen. Ulempen er at laveste puls kommer ned til 300 millivolt, og høyeste puls kommer opp til 1700 millivolt. Det er på grunn av større parasittkapasitanser fra transistorene i inverteren. Den kalles Millerkapasitans, og vil i praksis gjøre tilbakekoblingskondensatoren større og redusere forsterkningen, og dermed også det spenningsområdet BFKen bruker.

BFKen består av de samme komponentene som BFKen med minimums

	Minimum	Stor
C_1	12 fF	12 fF
C_2	6 fF	6 fF
C_3	3 fF	3 fF
C_f	23 fF	23 fF
PMOS	3,05 μm	11,6 μm
NMOS	0,6 μm	2,4 μm
opplading, P- og NMOS	1 μm	4 μm

Tabell 3.5: Størrelse på komponentene i BFK-kretsene i figur 3.7



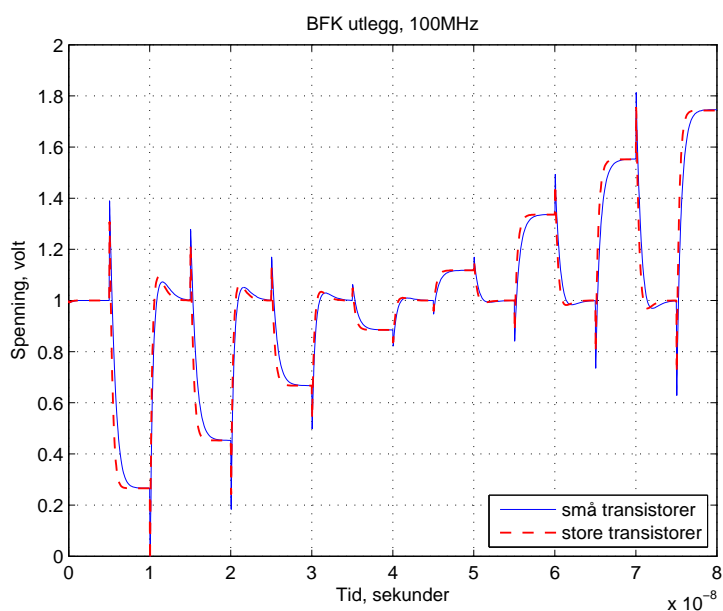
Figur 3.8: Utleggsimulering av to BFKer med forskjellig størrelse på transistorene. Små kondensatorer.

størrelse. Figur 3.3. Forskjellen er størrelsen til komponentene. Inngangskondensatorene har størrelsene $C_1=20$ fF, $C_2=10$ fF og $C_3=5$ fF. Det er prøvet ut kondensatorer med mer og mindre kapasitans. Ved små kondensatorer, klarer ikke kondensatorene å overføre signalet raskt nok, og store kondensatorer har for stor last som forsinker signalene og lager krumme flanker, og flankene når ikke opp til Vdd eller ned til jord.

Det samme er tilfelle med transistorene i inverteren. Det er en optimal størrelse i forhold til frekvensen en har valgt. Når en velger for store transistorer blir flankene krummere på grunn av lasten den får ved økende bredde. Når transistorene er for små, blir flankene krumme fordi det blir for stor motstand gjennom transistorene, og de klarer ikke å lede nok strøm fort nok.

	Små transistorer	Store transistorer
C_1	12,3 fF	12,3 fF
C_2	6,2 fF	6,2 fF
C_3	3,1 fF	3,1 fF
C_f	24,5 fF	23,6 fF
PMOS bredde	3,05 μm	5,9 μm
NMOS bredde	0,6 μm	1,2 μm
oppladnings, P- og NMOS	1,0 og 0,9 μm	1,3 og 1,2 μm

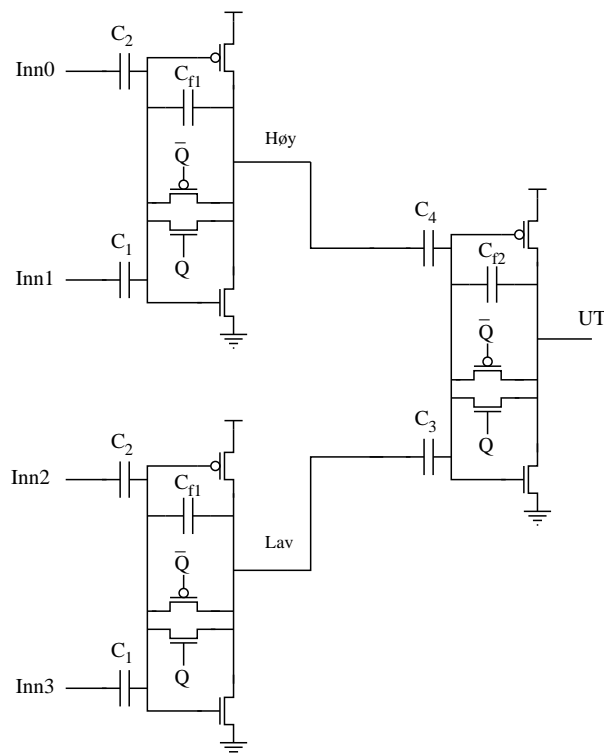
Tabell 3.6: Størrelse på komponentene i BFK-kretsene i figur 3.8.



Figur 3.9: Utleggsimulering av to BFKer med forskjellig størrelse på transistorene. Store kondensatorer.

	Små transistorer	Store transistorer
C_1	25,0 fF	25,0fF
C_2	12,3 fF	12,3 fF
C_3	6,2 fF	6,2 fF
C_f	50,2 fF	50,2 fF
PMOS bredde	3,05 μm	5,9 μm
NMOS bredde	0,6 μm	1,2 μm
oppladnings, P- og NMOS	1,0 og 0,9 μm	1,0 og 0,9 μm

Tabell 3.7: Størrelse på komponentene i BFK-kretsene i figur 3.9.



Figur 3.10: 2x2bits BFK

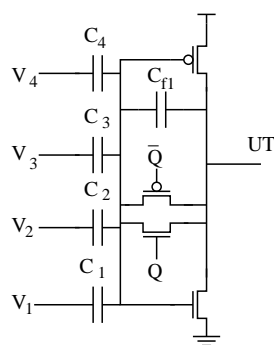
3.4.3 100 MHz utleggssimulering

Figur 3.8 og 3.9 viser simulering i utlegg av to trebits BFKer ved 100 MHz. Størrelsen til komponentene som er brukt er vist i tabell 3.6 og 3.7. Signalene ble ikke gode nok ved 200 MHz i utlegg. I figur 3.8 er inngangskondensatorene små i begge simuleringene, forskjellen mellom kurvene er at transistorene i inverteren er minimum bredde eller dobbelte av minimums bredden. I figur 3.9 er kondensatorene store i begge simuleringene, og forskjellen er minimums bredde og dobbel minimumsbredden for transistorene, som i forrige figur. Alle signalpulsene kommer opp til det samme spenningsnivået. Frekvensen er ikke for høy for kretsen, og lasten til kondensatorer og parasitter er ikke for høy i forhold til transistorbredden.

Vi ser at store transistorer har kortere stige- og falltid i begge tilfellene. Det er mest forskjell når inngangskondensatorene er store. Store kondensatorer skaper større glitches enn de mindre kondensatorene.

3.5 2x2bits BFK

Det er konstruert en firebits BFK ved å bruke to like tobits BFKer og en tredje tobits BFK til å summere signalene til ett signal. Kretsen er vist i figur



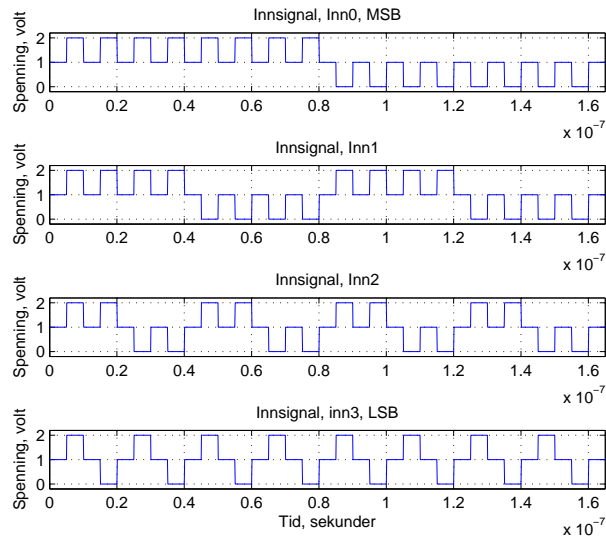
Figur 3.11: 1x4bits BFK

Komponenter	2x2bits	1x4bits
C_1	3,1 fF	3,1 fF
C_2	6,2 fF	6,2 fF
C_3	3,1 fF	12,3 fF
C_4	12,0 fF	24,5 fF
C_{f1}	12,0 fF	70,0 fF
C_{f2}	14,3 fF	-
PMOS bredde	3,05 μm	3,05 μm
NMOS bredde	0,6 μm	0,6 μm
oppladnings, P- og NMOS	1,05 og 1,0 μm	1,05 og 1,0 μm

Tabell 3.8: Størrelsen til komponentene i kretsene i figur 3.10 og 3.11.

3.10. Målet med kretsen er en BFK som har mindre samlet kapasitans fra alle inngangskondensatorene og tilbakekoblingskondensatorene, enn det en firebits BFK vil få når den er en oppskalering av en tobits BFK, hvor en øker antall innganger og øker størrelsen til tilbakekoblingskondensatoren. Figur 3.11 viser en skjemattegning av en firebits BFK. Kretsen vil bestå av færre transistorer med en enkel inverter og fire inngangs kondensatorer, en ved å sette kretsen sammen på den alternative måten. Da er der nødvendig med tre inverttere som tilsvarer tolv transistorer istedenfor fire. Summen av kapasitansen til alle kondensatorene er lavere for en 2x2bits BFK. Verdiene fra tabell 3.8 viser at en 2x2bits BFK har en samlet kapasitansverdi på 72 fF, mot den tradisjonelle firebits BFKen som har en samlet kapasitansverdi på 116 fF. Forskjellen i arealbruk er relativt liten mellom de to alternativene.

BFK 2x2bits er bygget opp med tre like tobits BFKer. Alle komponentene har samme størrelse. Forskjellen er inngangssignalene, den ene tobits BFKen får de to minst signifikante bitene, signal 'inn2' og 'inn3' i figur 3.12. Den andre tobits BFKen får de to mest signifikante bitene, signal 'inn0' og 'inn1' i figur 3.12. Utgangen fra hver av de to tobits BFKene er vist i figur 3.13. Den BFKen med de mest signifikante bitene har utsignalet merket 'Høy' og de minst signifikante bitene er merket 'Lav'. Signalene blir evaluert i en tredje BFK. Inngangskondensatorene C_3 og C_4 har verdiene

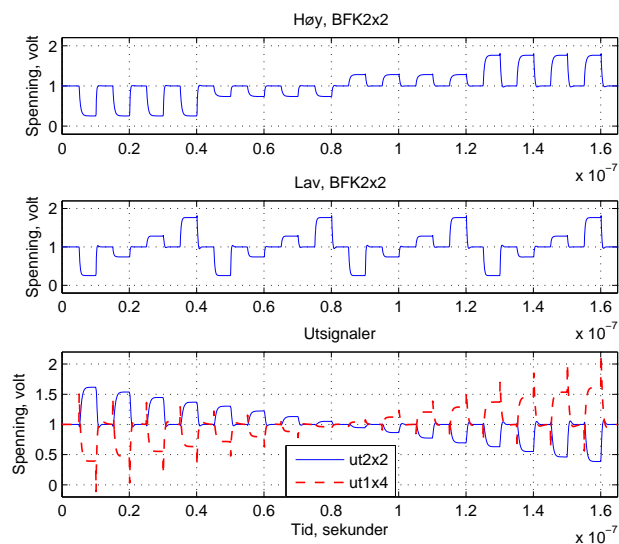


Figur 3.12: Innsignalene til 2x2bits, og 1x4bits BFK

3,1fF og 12,0fF (se også tabell 3.8 for størrelsen til flere komponenter). Det minst signifikante bitet er en fjerdedel av det mest signifikante bitet. Siden signalet 'Lav' har firebits i en periode, må signalet 'Høy' ha fire ganger verdien på inngangskondensatoren.

I simuleringene er det valgt å gi signalet en lav forsterkning. Det krever en stor tilbakekoblingskondensator. Det går i disfavør av den tradisjonelle firebits BFKen, siden summen av alle inngangskondensatorene er stor for den kretsen. Når en vil redusere forsterkningen i den kretsen, må kondensatorverdien økes mye for å få en forandring. Mens for 2x2bits BFKen er summen av inngangskondensatorene en mye lavere verdi. Dermed skal det til en liten forandring i størrelsen til tilbakekoblingskondensatoren for å få en forandring av forsterkningen.

Både 1x4BFK og 2x2BFK er dimensjonert for å gi det samme utsignalet, med det samme arbeidsområde og samme spenningsforskjell mellom spenningsnivåene. Tabell 3.9 og 3.10 viser henholdsvis spenningsnivåene og avstanden mellom spenningsnivåene til de to kretsene. Arbeidsområdet er det samme for begge kretsene. Begge kretsene har et lineært utgangssignal. 2x2BFK er den mest lineære av de to. 1x4BFK har større forskjell mellom spenningsstrinnene, det gir en høyere støymargin. Det kommer av at utsignalet fra tobits BFKen ikke er helt lineært, og når de to signalene skal summeres blir det nye signalet påvirket av det. Resultatet er at 2x2BFKen har mindre kapasitans totalt sett. Arealforbruket blir relativt likt, siden 2x2BFKen har flere transistorer. 1x4BFK har det mest lineære utsignalet, som er vurdert til å være mest viktig.



Figur 3.13: Utsignalene fra 2x2bits og 1x4bits BFK

Bit	Ut 2x2bits(mV)	Ut 1x4bits(mV)	Høy(mV)	Lav(mV)
1	389	392	1764	1676
2	468	471	1764	1246
3	550	553	1764	778
4	631	634	1764	342
5	702	716	1283	1676
6	784	797	1283	1246
7	871	882	1283	778
8	953	963	1283	342
9	1045	1041	738	1676
10	1128	1122	738	1246
11	1214	1206	738	778
12	1291	1287	738	342
13	1367	1370	254	1676
14	1448	1451	254	1246
15	1534	1534	254	778
16	1613	1613	254	342

Tabell 3.9: Spenningsnivåene til signalene til 2x2bits og 1x4bits BFK

Bit	Ut 2x2bits(mV)	Ut 1x4bits(mV)
1-2	79	79
2-3	82	82
3-4	81	80
4-5	72	82
5-6	82	81
6-7	87	84
7-8	82	81
8-9	91	78
9-10	82	81
10-11	86	84
11-12	77	81
12-13	76	82
13-14	81	81
14-15	85	83
15-16	79	79

Tabell 3.10: Spenningsforskjellen mellom to spenningsnivåer i tabell 3.9.

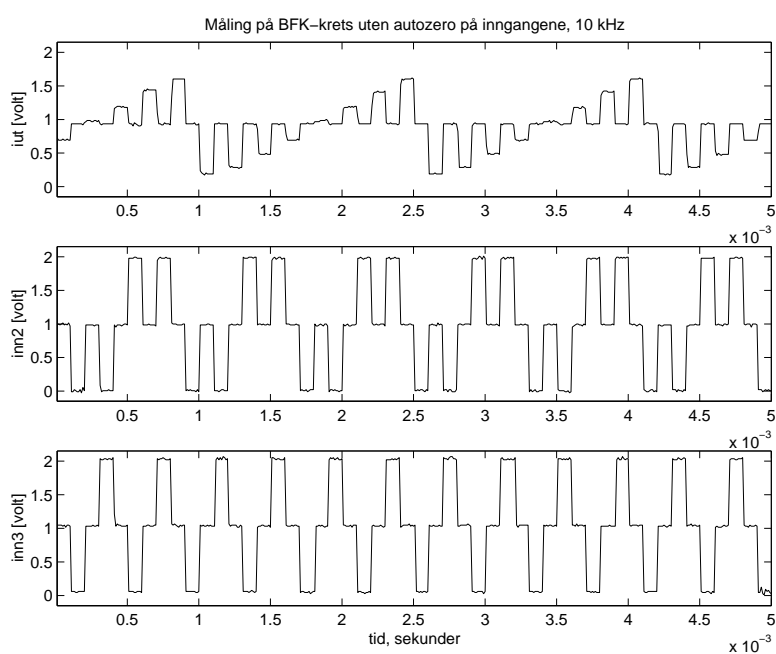
3.6 Måling og evaluering

Det er lagt en BFK med minimumskondensatorer og transistorer på brikken som ble levert til produksjon. Det er ingen buffer på utgangen til å drive signalet. Derfor er det ikke oppnådd samme frekvenser som under simulering på skjema og utlegg. Det er valgt en pad med motstand på null ohm for utgangen, og kretsen er plassert nærmest mulig paden for å ha minst mulig last i ledningen mellom kretsen og paden. Det er paden og det utenfor brikken som bidrar til den absolutt største lasten i dette systemet.

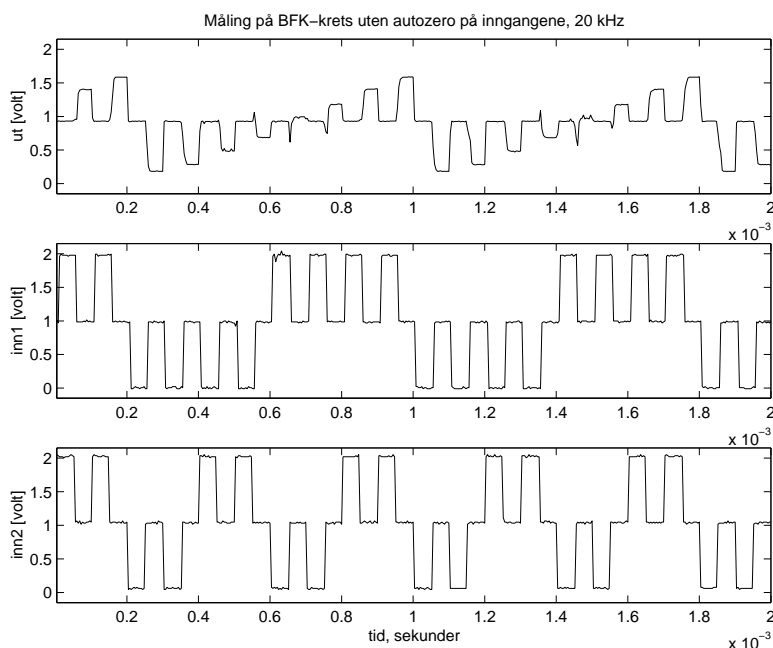
Måling på en enkelt BFK-krets er vist i figur 3.14. Signalene er gode ved 10 kHz når det gjelder linearitet og formen på flankene. Hele signalet er forskjøvet nedover noen titalls millivolt. $V_{dd}/2$ nivået ligger på 937 millivolt. Det skyldes en ubalanse mellom PMOS- og NMOS-transistorene i inverteren. Det betyr at PMOS-transistoren ikke er sterk nok i forhold til NMOS-transistoren. PMOS-transistoren har for lav doping i prosessen. Feilen ligger innenfor prosessvariasjonene som oppgis av prosesshuset. Resultatet av ubalansen mellom PMOS- og NMOS-transistorene er at alle signalpulsene blir forskjøvet nedover i spenningsnivå. Det vises ved at den femte signalpulsene ligger nær $V_{dd}/2$, og den skulle ligget like mye over $V_{dd}/2$ som signalpuls fire ligger under $V_{dd}/2$.

To av de tre innsignalene er også vist i figur 3.14. Det er 'inn3' som er det minst signifikante bitet, og 'inn2' som er det nest mest signifikante bitet. Innsignalene er laget i et Matlabskript som ligger i vedleggene. Matlabskriptet programmerte en signalgenerator med fire utganger (TTI TGA1244), til å gi signalene som er beskrevet som innsignaler i figuren. Klokkesignalene er også generert av signalgeneratoren, og alle signalene er synkronisert i forhold til hverandre.

Ved økning av frekvensen til 20 kHz blir det problemer med signalene



Figur 3.14: Måling på en enkel BFK ved 10 kHz. Signalet blir SFG-lachet. Kretsen er laget av minimumstransistorer, og med så små kondensatorer som mulig. Øverste kurve er signalet ut av BFKen. Kurve to og tre er innsignal, henholdsvis mellomste bitet og det minst signifikante bitet.



Figur 3.15: Måling av en enkel BFK ved 20 kHz. Signalet blir SFG-latchet. Kretsen er laget av minimumstransistorer, og med så små kondensatorer som mulig. Øverste kurve er signalet ut av DACen. Kurve to og tre er innsignal, henholdsvis mellomste bitet og det minst signifikante bitet.

ut av kretsen. Se figur 3.15 første kurve, hvor de to pulsene over og under $V_{dd}/2$ har uønskede pulser på venstre flanken til pulsen. Det skaper fort problemer for eventuelle kretser som mottar signalet fra BFKen. I dette tilfellet kan årsaken til de uønskede pulsene være asynkrone signaler inn til kretsen. Det har vært observert tidligere at det oppstår uønskede pulser på puls nummer fem ved høye frekvenser, når stige- og falltidene på flankene er forskjellige. Her kan det tyde på at det er mer enn forskjellig stige- og falltid som skaper problemet, siden puls fire, fem og seks har uønskede pulser. Når frekvensen økes mer, blir utsignalet enda dårligere.

3.7 Oppsummering

Det er simulert på to, tre og firebits BFKer. For å oppnå et mest mulig lineært signal fra en BFK, bør tilbakekoblingskondensatoren være større enn summen av inngangskondensatorene. Da blir forsterkningen mindre og signalet benytter ikke de lineære områdene til inverteren. Det gjør at arbeidsområdet blir mindre, omkring to tredjedeler av forsyningsspenningen. Det er vurdert å være viktigere at avstandene mellom hvert spenningsnivå er like, enn at hele arbeidsområdet blir benyttet.

Både tobits og trebits BFK gir et godt signal. Selv om en trebits BFK

bare trenger en inngangskondensator til, gjør den ene kondensatoren at summen av kapasitansen til BFKen dobles, som gjør at lastkapasitansen til kretsen øker, og med det strømforbruket.

Det ble vurdert om en 2x2bits BFK krever mindre total kapasitans enn en 1x4bits BFK. En 2x2bits BFK har en total kapasitans på 72 fF, og en 1x4bits BFK har en total kapasitans på 116 fF. Fordelen ble oppveiet av at en 2x2bits krever tolv transistorer mot 1x4bits fire transistorer, og at en 2x2bits BFK har større forskjell mellom hvert spenningsnivå, som gir den større støymargin enn en 1x4bits BFK.

Erfaringen med dimensjonering av kondensatorene og transistorene i forhold til hverandre, er at store kondensatorer gir glitcher i begynnelsen og slutten av hver signalpuls. Transistorene tilpasses kondensatorene. For de smaleste transistorene er ikke raske nok i forhold til lasten, og gir lengre stige- og falltid, og for brede transistorer har for stor last, som gjør at signalpulsene blir kortere. Den BFKen som klarer den høyeste frekvensen, er den som har minimums kondensatorer og noe større enn minimums bredde på transistorene.

Måling på BFKen viser at den stort sett virker som den gjorde under simulering på skjema og utlegg. PMOS transistoren i inverteren er ikke så sterk på brikken som i utlegg. Vdd/2 nivået ligger på 937 millivolt under alle målingene.

Kapittel 4

Flernivå til Binær Konverter

4.1 Innledning

Flernivå til binær konverteren (FBK) er bygget opp av et gitt antall invertere som gjør signalet om fra et flernivåsignal til binæresignaler. Det er jobbet med et trebits system. Den samme logikken kan brukes til å lage et tobits system eller et firebits system [6] [5]. Kompleksiteten øker med økende antall bit. Det oppstår fort forsinkelse gjennom kretsen når den skal konvertere et flernivåsignal til mange bit. Da kan en med fordel bruke for eksempel to tobits FBKer i parallell, enn en firebits FBK.

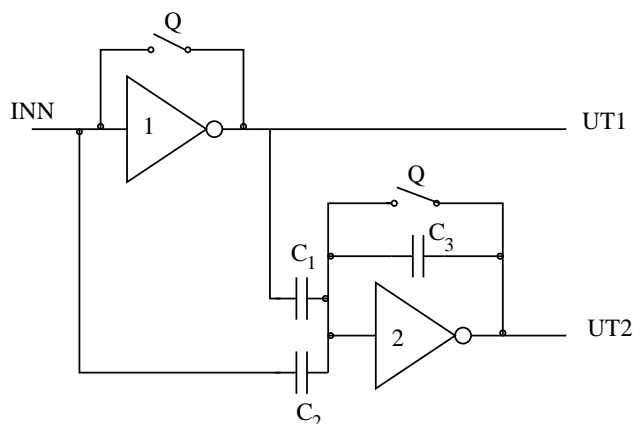
Inverterne som brukes i FBKen, er både binæreinvertere og flernivåinvertere. I en trebits FBK er det en tobits flernivåinverter, og fire binæreinvertere.

De binæreinverterene blir brukt til å dele opp et flernivåsignal i to nivåer, mellom høy og lav. Alle pulsene over $V_{dd}/2$ vil gi lave signaler ut av inverteren, og alle pulsene under $V_{dd}/2$ vil gi høye signal, fordi signalet blir invertert samtidig. De binæreinverterene blir også brukt til å forsterke og invertere signalet før utgangene. Dette gjøres for at utgangssignalet skal ha rette flanker og rekke opp til V_{dd} og ned til jord. For å få utgangene til FBKen til å bli synkrone må det være like mange invertere på utgangene.

4.2 Tobits flernivå til binær konverter

Den enkleste typen av flernivå til binær konverter er tobits, som i figur 4.1. Den består av to invertere. Begge er binære semi floating-gate invertere. Det er også mulig å benytte en flernivå semi floating-gate inverter som inverter nummer to. Da legger en til kondensatoren C_3 .

Kretsen har ingen inngangskondensator. Det skulle den ha hatt. Klokken på inverter nummer en kan sende en strøm videre til kretsen hvor innsignalet kommer fra, og gi en så høy strøm gjennom en av transistorene at den blir ødelagt. I simuleringer, når alt er synkronisert, er det ikke noe problem. Under simuleringen ble kondensatoren fjernet for å redusere lasten og arealforbruket til kretsen, uten å tenke på at det kan oppstå situasjoner en ikke ønsker når signalene ikke er synkrone.



Figur 4.1: Tobits FBK med tilbakekoblingskondensator

Inverter nummer en finner det mest signifikante bitet (MSB), og inverter nummer to finner det minst signifikante bitet (LSB). Inverter nummer en deler opp signalet i nivåene over og under $V_{dd}/2$. Inverter nummer to har to innganger. Her skjer det en summasjon, men siden signalet fra inverter nummer en er invertert, blir det en subtraksjon. De to innsignalene har forskjellig arbeidsområde. Det oppveies ved at de respektive inngangskondensatorene har forskjellige størrelser.

4.2.1 Vekting av inngangskondensatorene

Vekting av inngangskondensatorene er viktig for å gi hvert signal riktig vekt i forhold til de andre innsignalene. Kondensatorene C_1 og C_2 i figur 4.1 må vektas for å gi et riktig signal på utgangen 'UT2'. Inverter 2 vil evaluere signalene, hvor det sterkeste signalet vinner. Det sterkeste signalet er bestemt av spenningsnivået til signalet og kondensatorstørrelsen. Ved ideelle signaler gjelder likningen 4.1, hvor kondensatoren C_2 er 1,5 ganger størrelsen til kondensatoren C_1 .

$$C_2 = \frac{3}{2}C_1 \quad (4.1)$$

Måten en kommer frem til forholdet mellom kondensatorene er å benytte likningene 4.2 og 4.3. Variabelen 'n' er antall bit til signalet. I dette tilfellet er $n=2$. Likningene gjelder også for tre- og firebits signal [6, 5], og når de to signalene har like store arbeidsområder.

$$\frac{C_1}{C} = \frac{2^n - 1}{2^{n-1} - 1} \quad (4.2)$$

$$\frac{C_2}{C} = \frac{2^{n-1}}{2^{n-1} - 1} \quad (4.3)$$

Når det dynamiske området til to signaler som skal evalueres, ikke er like, må størrelsene på de to inngangskondensatorene justeres i forhold til

Pulsnummer	1	2	3	4
Innsignal	1700	1232	766	300
Klokkesignal	0	0	0	0
Utsignal 1 uten C_3	0	31	1962	2000
Utsignal 1 med C_3	0	31	1962	2000
Utsignal 2 uten C_3	180	1809	210	1796
Utsignal 2 med C_3	524	1442	594	1393
SFG-noden uten C_3	1070	944	1057	949
SFG-noden med C_3	1017	985	1014	987

Tabell 4.1: Spenningsnivåene til signalene i figur 4.2, alle verdier i millivolt

	Med C_f	Uten C_f
C_1	4,1fF	4,1fF
C_2	10,7fF	11,7fF
C_3	3,1fF	-
PMOS i inverterene	3,05 μ m	3,05 μ m
NMOS i inverterene	0,6 μ m	0,6 μ m
Oppladnings PMOS og NMOS	0,6 μ m	0,6 μ m

Tabell 4.2: størrelsen til komponentene i simuleringene i figur 4.2. Alle transistorene har minimumslengde 0,35 mikrometer.

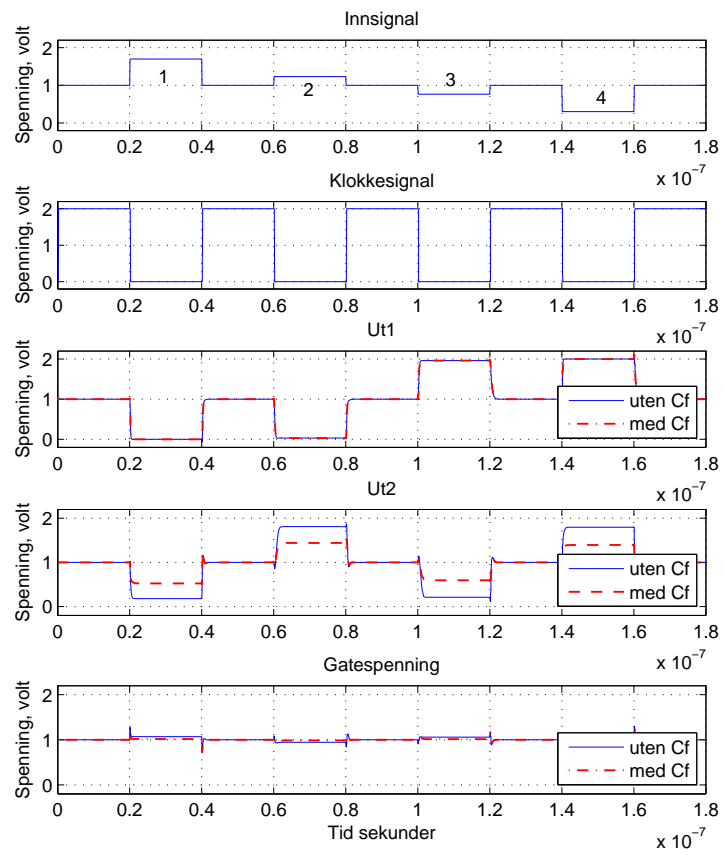
det ideelle. Likningen 4.4 brukes når en vil justere kondensatorene C_1 og C_2 i kretsen i figur 4.1. V_1 og V_2 representerer signalets dynamiske område i volt, og C_1 og C_2 er kondensatorene til hver sin inngang. Det inngangssignalet med det minste dynamiske området, trenger en forholdsvis større kondensator enn det signalet med det største dynamiske området. Derfor justerer en inngangskondensatorene slik at inngangssignalet med det minste dynamiske området får den største kondensatoren. Hvis en ikke hadde tatt hensyn til at innsignalene har forskjellige dynamiske områder, ville det signalet med det største dynamiske området dominert signalet som kom frem til gaten til inverteren.

$$C_1 V_1 = C_2 V_2$$

$$C_1 = \frac{C_2 V_2}{V_1} \quad (4.4)$$

4.2.2 Virkemåten til tobits FBK

Signalene i en tobits FBK er vist i figur 4.2, og spenningsnivåene til signalene finnes i tabell 4.1. Innsignalet har fire signalnivåer med oppladningssignaler mellom hver signalpuls. Kretsen er avhengig av at signalet konstrueres på den måten. Kretsen krever to klokker som er invertert av hverandre. Det ene klokkesignalet er vist i figur 4.2. Frekvensen til klokkesignalet er dobbelt så rask som signalfrekvensen. Klokkesignalet blir lavt samtidig



Figur 4.2: Skjemasimulering av tobits FBK

Puls	1	2	3	4
Med C_3 , før buffer	498	1438	594	1387
Med C_3 , etter buffer	2000	0	1997	2
Uten C_3 , før buffer	150	1802	215	1803
Uten C_3 , etter buffer	2000	0	2000	0

Tabell 4.3: Spenningsnivåene til signalene i figur 4.3, alle tall i millivolt.

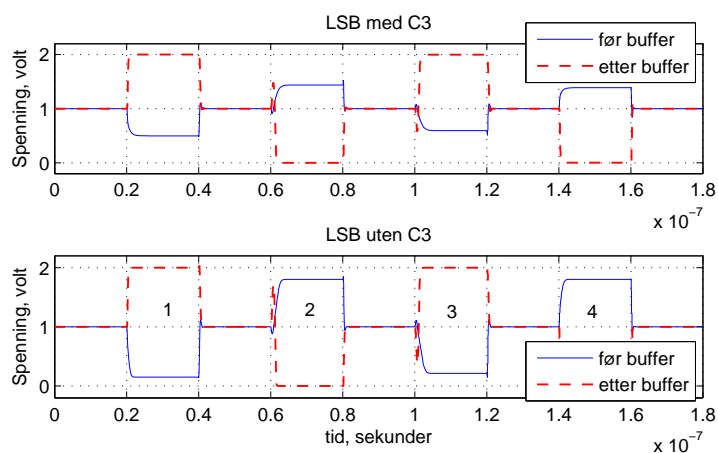
som signalpulsene kommer, da blir oppladningstransistorene slått av og SFG-noden til inverterne er isolert fra omgivelsene.

Det er simulert på to forskjellige FBKer, en uten tilbakekoblingskondensatoren C_3 , og en med. De to utgavene er presentert i referansene [6, 5, 15]. Her blir det vurdert hvilken som gir best signaler. Størrelsen til komponentene i kretsene er vist i figur 4.2

For det mest signifikant bitet (MSB), Ut1, er det ingen forskjell på om inverter nummer to i FBKen er binær eller flernivå. Signalnivåene til alle signalene er presentert i tabell 4.1. Det minst signifikante bitet (LSB) har en betydelig forskjell på signalpulsnivåene, ved å unngå å bruke en tilbakekoblingskondensator. Signalnivåene er omkring 200 millivolt fra Vdd og jord når en ikke har tilbakekoblingskondensator, mot 500-600 millivolt fra jord eller Vdd med tilbakekoblingskondensator. Ved bruk av den kretsen, er en helt avhengig av en buffer på utgangen for å forsterke signalpulsene, mens det er mulig å bruke FBKen uten buffer hvis en ikke bruker en tilbakekoblingskondensator i inverter nummer to. En buffer på hver av utgangene gjør at FBKen bruker nesten det doble arealet. Samtidig øker også strømforbruket. Det er mulig å heve spenningsnivåene til signalpulsene for FBK uten C_3 med rundt 100 millivolt, ved å øke størrelsen til kondensatorene C_1 og C_2 . Det gjør også at arealet og det dynamiske strømforbruket øker.

Det er kjørt en simulering av FBK med en buffer på hver utgang, for å få nivåene til pulsene til utgangssignalene til å komme opp til Vdd og ned til jord. Det er brukt en binær oppladningsinverter som buffer. Figur 4.3 viser simuleringresultatene og tabell 4.3 viser spenningsnivåene til pulsene. Vi ser at FBKen uten tilbakekoblingskondensator C_3 får spenningsnivåer som ligger på Vdd og jord, mens FBKen med tilbakekoblingskondensator C_3 ikke kommer helt opp eller helt ned på puls tre og fire. Det kommer av at de nivåene på signalene før bufferet ligger 500-600 millivolt fra Vdd eller jord, og at det ikke er god nok forsterkning i bufferet. Signalnivåene er gode nok i noen sammenhenger, men ikke i alle. Når det binære signalet skal evalueres i en BFK, betyr en forskjell på noen millivolt at flernivåsignalet får en puls med et nivå som er litt forskjøvet. Sammen med andre ting som liten støymargin og et ulineært innsignal, kan resultatet av feil spenningsnivå på innsignalet bli et feil spenningsnivå i et flernivåsignal.

FBKen uten tilbakekoblingskondensatoren er en bedre løsning, siden alle pulsene kommer helt til Vdd eller jord. Samtidig er stige- og falltiden kortere enn hos FBKen med tilbakekoblingskondensator. For å få spenningsnivåene til utsignalet til å være på jord eller Vdd for FBKen med tilbakekoblingskondensator, må inngangskondensatorene C_1

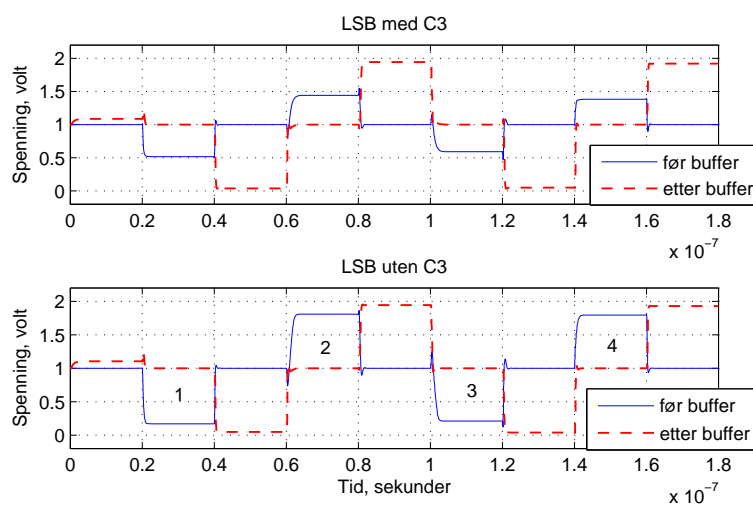


Figur 4.3: Minst signifikant bit med og uten C_f , med og uten buffer

og C_2 mer enn dobles i størrelse, og tilbakekoblingskondensatoren C_3 holdes konstant. Det gjør at forsterkningen i inverteren øker. I utgangspunktet er C_3 minimumskondensator i denne prosessen, og inngangskondensatorene C_1 og C_2 laget så små som mulig for å bidra med minst mulig lastkapasitans og areal. Ulempen er at det ikke er mulig å øke forsterkningen ved å redusere størrelsen til C_3 . En økning i forsterkningen kan en få ved å øke inngangskondensatornes størrelse.

En ulempe ved å buffre opp signalet, er at de uønskede pulsene i forkant av puls to og tre blir forsterket opp. De uønskede pulsene kommer av forskyvning av innsignalene til inverter to i FBKen. Det signalet som kommer fra inverter en er forskjøvet i størrelsesorden en halv stige- og falltid. I puls to og tre er det signalet fra inverter nummer en som er det sterkeste. Det vil si, summen av spenningsnivået og størrelsen på inngangskondensatoren. Samtidig er det innsignalet som er det raskeste, og er raskest i starten, og begynner å forandre spenningsnivået på gaten til inverter to. Umiddelbart etter kommer signalet fra inverter nummer en og forandrer spenningsnivået på gaten til det riktige nivået. For å fjerne de uønskede pulsene, er det nødvendig å SFG-latche utgangssignalet.

Utsignalene fra tobits FBKen er SFG-latched, og simuleringsresultatene er vist i figur 4.4, spenningsnivåene er vist i tabell 4.4. Signalene ut fra SFG-latchene får rette flanker uten uønskede pulser. De ser ut som bra signaler, men nivåene til signalpulsene er ikke så gode som ønsket. For FBKen uten C_3 ligger nivåene omkring 60 millivolt fra Vdd eller jord, og for FBKen med C_3 ligger også nivåene rundt 60 millivolt fra Vdd eller jord. Da er inngangskondensatoren til SFG-latchen på 10 fF. Hvis den hadde blitt øket i størrelse, ville spenningsnivåene til signalpulsene kommet enda nærmere Vdd eller jord. Ulempen er at kretsen øker i areal og det dynamiske strømforbruket øker med økende lastkapasitans, siden stige- og falltiden øker.



Figur 4.4: SFG-latcing av LSB, istedenfor buffer. Med og uten C_3 .

Puls	1	2	3	4
Med C_3 , før SFG-latch	516	1442	591	1383
Med C_3 , etter SFG-latch	37	1943	39	1919
Uten C_3 , før SFG-latch	170	1807	210	1795
Uten C_3 , etter SFG-latch	48	1943	39	1930

Tabell 4.4: Spenningsnivåene til signalene i figur 4.4, alle tall i millivolt.

4.2.3 Oppsummering

En tobits FBK er simulert og vurdert. Det er blitt funnet ut at kondensatoren C_3 verken er nødvendig eller gjør at kretsen virker bedre. Inverter nummer to trenger ikke å være en flernivå semi floating-gate inverter siden den skal gi et binært signal ut. Den beste løsningen er derfor en binær semi floating-gate inverter som inverter nummer to. Det betyr at desimatoren i [15] sannsynligvis ville virket bedre og brukt mindre areal, hvis den hadde unnlatt å benytte tilbakekoblingskondensatoren C_3 .

Hvis en aksepterer utsignaler hvor de fleste pulsene er et stykke fra Vdd eller jord, så er det ikke nødvendig med en buffer. I det mest signifikante bitet er det puls to og tre som er omkring 30 millivolt fra Vdd eller jord. For det minst signifikante bitet er spenningsnivåene til pulsene omkring 200 millivolt fra jord eller Vdd. Det er mulig å øke størrelsen til inngangskondensatorene til inverter nummer to, og få spenningsnivået til signalpulsene nærmere Vdd og jord. Spenningsnivået blir da omkring 100 millivolt fra Vdd og jord.

Hvis systemet krever at spenningsnivåene til utsignalene ligger på Vdd eller jord, er det mulig å SFG-latke eller buffre utgangene. Ved buffring av utsignalene, kommer spenningsnivåene til signalpulsene ut til Vdd eller jord, og samtidig blir en uønsket puls i forkant av puls to og tre forsterket opp. Det gjør at signalet ikke er brukbart.

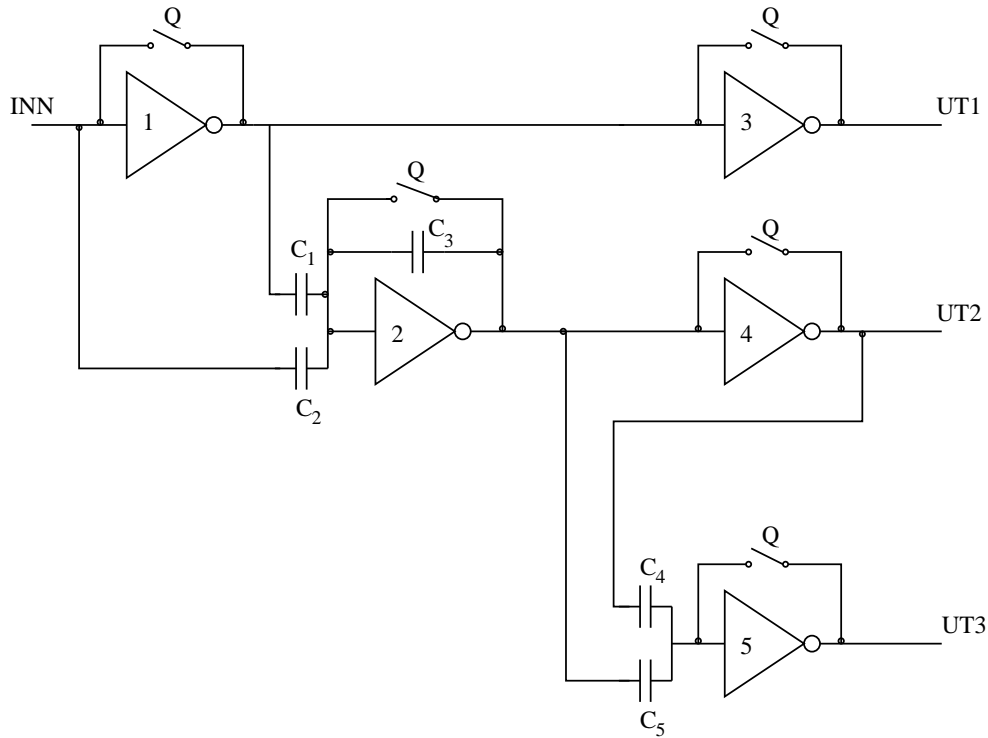
Ved SFG-latching unngår en de uønskede pulsene, siden pulsene blir evaluert på avsluttende flanke. Men spenningsnivåene til utsignalene mangler omkring 60 millivolt på å komme ut til Vdd eller jord.

Det er også mulig å bruke begge løsningene. Først å SFG-latke. Da blir flankene rette. Deretter brukes en buffer som forsterker opp signalpulsene. Da blir signalene gode. Til sammen krever det seks oppladningsinvertere, tre semi floating-gate binære oppladningsinvertere og tre binære oppladningsinvertere. Dette tar stor plass. To tredjedeler av arealet går til å rette opp utsignalet fra den logiske delen.

4.3 Trebits flernivå til binær konverter

En trebits flernivå til binær konverter (FBK) er bygget opp av fem oppladningsinvertere og fem kondensatorer som vist i figur 4.5. I ettetid er det funnet ut at alle inverterne bør ha en kondensator på inngangen siden inverterne er klokke. Når innsignalet og klokkesignalet er forskjøvet noe kan det gå en utilsiktet stor strøm gjennom enkelte transistorer, og skade dem. Inverter nummer 1, 3, 4 og 5 er binære oppladningsinvertere som har et binært signal på utgangen. Inverter nummer to er en semi floating-gate flernivåoppladningsinverter. Det er tilbakekoblingskondensatoren C_3 som gjør at inverteren har et flernivåsignal på utgangen.

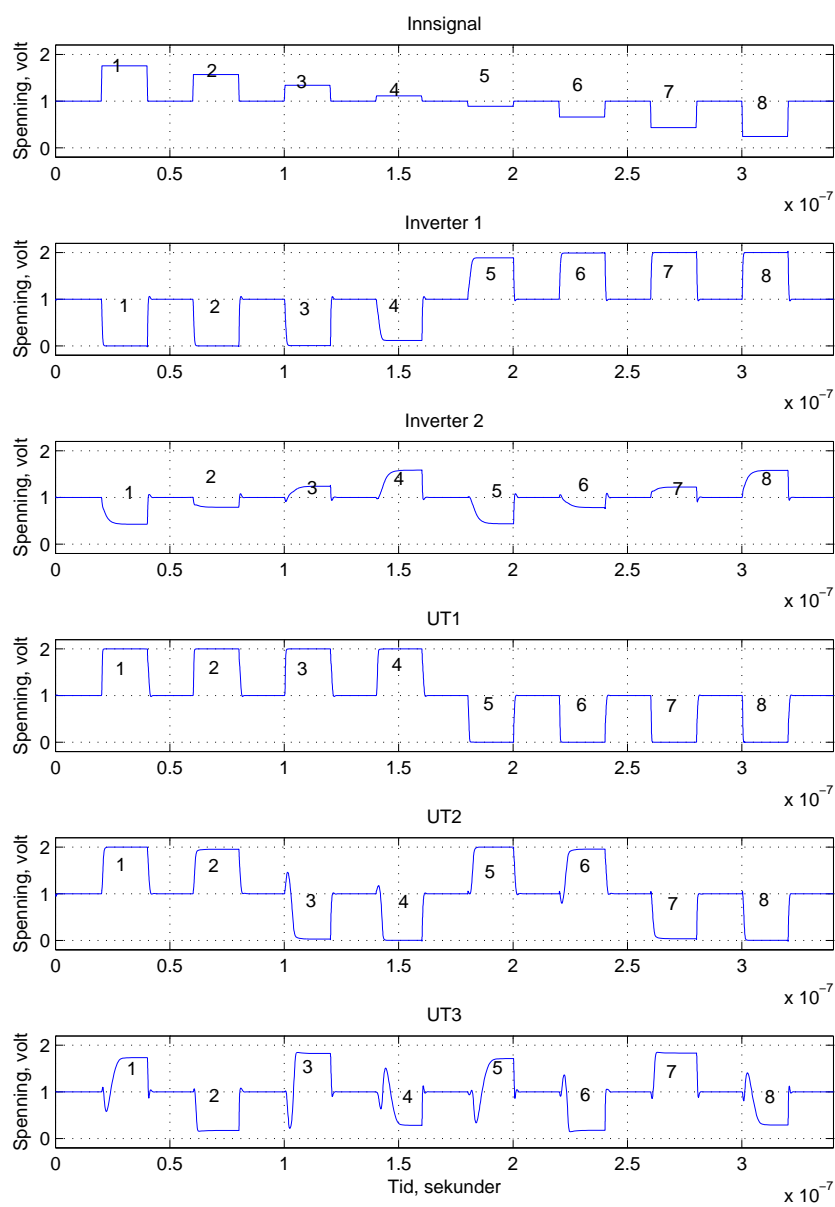
Størrelsen til komponentene i en trebits FBK er gitt i tabell 4.5. Størrelsen til kondensatorene er funnet empirisk. Ved å simulere i Cadence, for på den måten å finne den optimale størrelsen i forhold til innsignalet og parasitkapasitanser. Det er beregnet teoretisk størrelse til kondensatorene i [6,5]. Hvor størrelsen til kondensatorene er gitt til $C_1 = \frac{4}{3}C$, $C_2 = \frac{7}{3}C$, $C_3 = C$, $C_4 = C$, $C_5 = \frac{3}{2}C$. Størrelsesforholdet mellom kondensatorene er beregnet



Figur 4.5: Trebits FBK.

Komponent	Størrelse
PMOS i inverteren	3,05 mikrometer bredde
NMOS i inverteren	0,6 mikrometer bredde
PMOS oppladning	0,7 mikrometer bredde
NMOS oppladning	0,6 mikrometer bredde
Kondensator C1	5,0 fF
Kondensator C2	11,4 fF
Kondensator C3	3,1 fF
Kondensator C4	5,7 fF
Kondensator C5	13,7 fF

Tabell 4.5: Dimensjonene til komponentene i FBKen. Alle transistorene har minimums lengde, 0,35 mikrometer.



Figur 4.6: FBK simulering i utlegg 25 MHz, symmetrisk innsignal.

Signal\puls	1	2	3	4	5	6	7	8
Innsignal	1756	1568	1340	1112	887	659	431	243
Inverter 1	0	0	5	115	1889	1990	2000	2000
Inverter 2	425	788	1239	1583	435	782	1222	1580
Ut 1	2000	2000	2000	2000	0	0	0	0
Ut 2	2000	1953	28	0	2000	1955	34	0
Ut 3	1795	192	1806	212	1785	197	1814	216

Tabell 4.6: FBK simulering i utlegg 25 MHz, symmetrisk innsignal. Verdiene i millivolt

ved å bruke likning 4.2 og 4.3 når 'n' er lik tre, for C_1 og C_2 . For C_4 og C_5 er det brukt 'n' er lik to, siden der er signalet tobits. Teorien stemmer ikke helt med praksis, siden det ikke er korrigert for arbeidsområdet til innsignalet. Når arbeidsområdet til innsignalet blir mindre, må kondensatorene C_2 og C_5 økes i størrelse i forhold til de andre kondensatorene.

4.3.0.1 Mest signifikant bit

Innsignalet til en trebits FBK er et flernivåsignal med åtte nivåer. Det gir tre utgangssignaler som i figur 4.5 er kalt "UT1", "UT2" og "UT3". UT1 er det mest signifikante bitet, og UT3 er det minst signifikante bitet. Innsignalet går først gjennom inverter 1 som tar ut det mest signifikante bitet ved å invertere signalet i en binær oppladningsinverter. Alle signalnivåene over $V_{dd}/2$ blir invertert til lave signalnivå som går til jordnivå, og alle signalnivåene under $V_{dd}/2$ blir invertert til høye signaler som går opp til V_{dd} . Da har en allerede dannet det mest signifikante bitet, UT1 i figur 4.5. For at signalet UT1 skal være synkront med de andre to utgangene, må signalet invertteres en gang til i inverter 3. Med to inverteringer vil en høy puls inn være en høy puls ut, og signalet kan brukes videre i neste krets uten å ta hensyn til at signalet er snudd opp ned. Signalene vises i figur 4.6. Innsignalet er et konstruertsignal, signalet "Inverter 1" er signalet etter inverter 1, og signalet "UT1" er signalet for det mest signifikante bitet ut fra FBKkretsen.

4.3.0.2 Andre bit

Det midterste bitet lages ved å evaluere innsignalet med det mest signifikante bitet fra inverter 1. Evalueringen er en summasjon, men siden det ene signalet er invertert, blir det en subtraksjon. Summasjonen gjøres i inverter 2 som er en flernivå semi floating-gate oppladningsinverter. Signalene går til hver sin kondensator som har forskjellige størrelser. Kondensatorene er koblet til SFG-noden til inverter 2. Størrelsen på kondensatorene er bestemt av styrken til signalet. Kondensatoren til signalet fra inverter 1 er under halvparten av størrelsen i forhold til kondensatoren til innsignalet. I signalet fra inverter 1 går pulsene helt opp til V_{dd} og ned til jord, men innsignalet har pulser med varierende høyde. Størrelsen til kondensatorene er slik at de fire sterkeste pulsene til

Signal\nivå	1-2	2-3	3-4	4-5	5-6	6-7	7-8
Symmetrisk	188	228	228	225	228	228	188
Usymmetrisk	193	220	234	216	234	217	191

Tabell 4.7: Spenningsforskjell mellom nivåene i trebits flernivåsignal som brukes som innsignal i en FBK. Verdier i millivolt.

innsignalet er sterkere enn signalet fra inverter 1, og signalet fra inverter 1 “vinner” i de fire andre tilfellene. Resultatet er et flernivåsignal med fire nivåer som vist i figur 4.6, signal “Inverter 2”. Det består av to pulser under $V_{dd}/2$ og to pulser over $V_{dd}/2$. For å gjøre signalet til et binært signal, sendes signalet til inverter 4 som er en binær oppladningsinverter. Der forsterkes pulsene opp mot V_{dd} og ned til jord, som vist i figur 4.6, kurve “UT2”.

Kondensatoren C_3 gjør at inverter 2 er en flernivåinverter. Den bestemmer også forsterkningen til inverteren. Det er valgt å bruke minimumskondensatoren på $3fF$, for å få størst mulig forsterkning med så små inngangskondensatorer som mulig. Det er funnet ut i etterkant at den optimale kondensatorstørrelsen ikke er den minste. Det er ikke gjort noe arbeid for å finne den optimale kondensatoren i forskjellige kretser. Lasten til kondensatoren øker med størrelsen. Det samme gjør ladningsoverføringen i kondensatoren inntil lasten blir for stor.

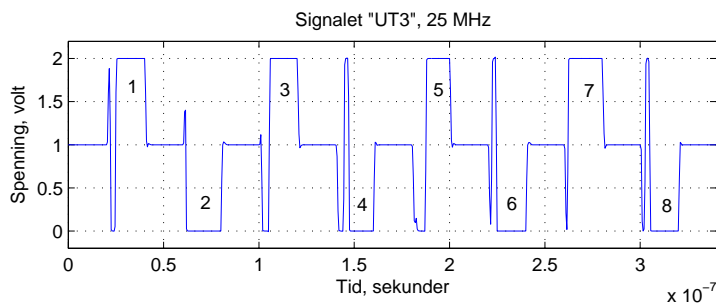
Minst signifikante bit

For å skape det tredje bitet, det minst signifikante (LSB), brukes den samme fremgangsmåten som ved å skape det andre bitet. Signalet fra inverter 2 er grunnlaget. Det er et flernivåsignal med fire nivåer. Det blir summert med signalet “UT2” som er et binært signal. Også her er det ene signalet invertert, hvilket gjør at summasjonen er en subtraksjon. Summasjonen skjer i inverter 5. Her gjelder det samme som i inverter 2, bortsett fra at inverter 5 er en binær oppladningsinverter, og gir et binært signal ut. Kondensatorene på gaten til inverteren er dimensjonert etter styrken til signalet, det vil si hvor høye pulsene er. Kondensatoren til det binære signalet er den minste, og flernivåsignalet krever en kondensator som er to til tre ganger større.

Resultatet av simuleringen av en trebits FBK, er de tre nederste kurvene i figur 4.6, UT1, UT2 og UT3. De viser et riktig logisk signal, men spesielt signalet UT3 har flanker med uønskede pulser i forkant av pulsen.

4.3.1 Vurdering av spenningsnivåene til signalpulsene i en FBK

Det er laget et innsignal til FBKen som er symmetrisk om $V_{dd}/2$. For å gjøre det er enklere å dimensjonere inngangskondensatorene når signalet er symmetrisk om $V_{dd}/2$. Det gjelder spesielt kondensatorene til “Inverter 5”. Signalet har ikke samme avstand mellom spenningsnivåene. På den måten likner signalet på det signalet som en BFK lager, og som FBKen må kunne



Figur 4.7: Signalet “UT3” invertert to ganger, simulert på utlegg.

takle. Tabell 4.7 viser spenningsforskjellen mellom nivåene i innsignalet. Nivåene er stort sett like unntatt mellom nivå 1-2 og 7-8 hvor transistorene i inverteren er i det lineæreområdet. Den lille forskjellen mellom nivå 4-5 er på grunn av forsterkningen til inverteren, som er litt mindre når begge transistorene er i metning. Det kunne vært valgt å lage signalet helt symmetrisk ved å fordele et arbeidsområde på 1500 millivolt på åtte nivåer. Signalet som er brukt, er justert for å få et mer symmetrisk signal enn det som en BFK gir, men likevel ikke være for langt fra den virkelige verden.

Det signalet med asymmetrisk avstand mellom pulsene og $V_{dd}/2$, er et simulert signal fra en trebits BFK, hvor forsterkningen er justert til å få et arbeidsområde på 1500 millivolt. Det er valgt å bruke signalet som er symmetrisk rundt $V_{dd}/2$, for lettere å kunne vise hvordan FBKen virker i prinsippet, og senere i rapporten vise en mer virkelig situasjon. Signalet som er asymmetrisk rundt $V_{dd}/2$ har en større forskjell i spenning mellom hvert pulsnivå, på grunn av at forsterkning i inverteren varierer med gatespenningen.

4.3.1.1 Signalet “inverter 1”

Signalet “Inverter 1” i figur 4.6 viser resultatet etter at innsignalet er blitt invertert i inverter 1. De første tre og de siste tre pulsene går helt ned til jord og opp til V_{dd} , mens puls fire og fem har litt igjen. Tabell 4.6 viser at nivåene ligger på 115 millivolt og 1889 millivolt. Det vil si vel 100 millivolt lavere enn de andre pulsene. Det er på grunn av at transistorene ikke har stor nok forsterkning i forhold til de lave pulsene som skulle invertteres. Pulsene på innsignalet ligger på 1112 millivolt og 887 millivolt. For det mest signifikante bitet betyr det ingenting, fordi det går gjennom en inverter til og ender opp som signalet “UT1” i figur 4.6. Det er et signal hvor alle pulsene går opp til V_{dd} eller ned til jord, og det er ingen uønskede pulser i forbindelse med flankene.

4.3.1.2 Signalet “inverter 2”

Signalet “Inverter 2” har fine nivåer. I tabell 4.6 er nivåene til pulsene i millivolt. Det er to og to pulser som ligger på samme spenningsnivå. Det er puls 1 og 5, 2 og 6, 3 og 7, 4 og 8. Det er en fordel at det er to og to signaler som ligger på samme nivå siden signalet skal representere fire nivåer. Hvis innsignalet ikke er helt symmetrisk om $V_{dd}/2$, vil det synes her ved at det er vanskelig å få to og to nivåer til å bli like. Justeringen av nivåene gjøres ved å forandre størrelsen på kondensatorene C_1 og C_2 i figur 4.5. Det har oppstått små uønskede pulser i første flanke til noen av pulsene. Det forplanter seg videre i kretsen, og er ikke bra for videre behandling av signalet.

Årsaken til de uønskede pulsene er litt forsinkelse i signalet når det går gjennom en inverter. I inverter nummer to blir innsignalet summert med innsignalet som har gått gjennom en inverter. Dette signalet bruker en halv stige- eller falltid gjennom inverteren. Når de to signalene da skal summeres vil det som har vært gjennom inverteren, ha pulser som er litt senere ute enn innsignalet som kommer direkte. Dette er nok til å skape uønskede pulser som skaper problemer senere i kretsen. Av de åtte forskjellige pulsene i signalet er det fire hvor innsignalet bestemmer pulsen, og fire hvor det inverterte signalet bestemmer pulsene. Det er de fire siste pulsene det oppstår uønskede pulser, fordi da er innsignalet en halv stige- eller falltid raskere enn det inverterte signalet som skal bestemme. Resultatet er at pulsen trekkes feil vei først, og så riktig vei. Det er puls nummer tre, fire, fem og seks som har dette problemet, og spesielt puls tre og seks hvor de to signalene som summeres har relativt like spenningsnivå.

4.3.1.3 Signalet “UT2”

Når en ser på signalet “UT2” i figur 4.6, ser en at de uønskede pulsene i signalet “Inverter 2”, puls tre og seks, har øket i høyde og bredde, og i tillegg har det oppstått en liten uønsket puls på puls fire.

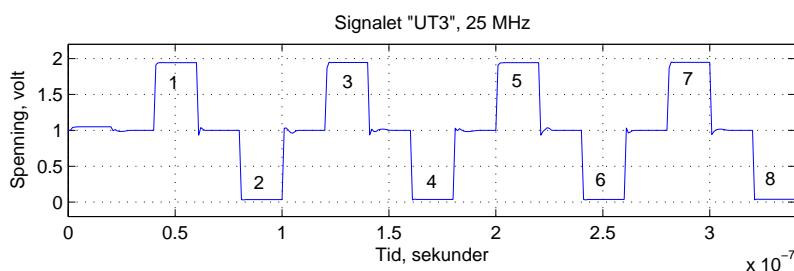
Signalet “UT2” blir også brukt til å lage det minst signifikante bitet “UT3”, sammen med signalet “Inverter 2”. Den første pulsen i signalet “UT3” blir laget av signalet “inverter 2”, puls to og tre av signalet “UT2”, puls fire og fem av signalet “Inverter 2”, puls seks og syv av signalet “UT2”, og den siste pulsen av signalet “Inverter 2”.

4.3.2 Vurdering av signalpulsene i signalet UT3

Signalet UT3 er det minst signifikante bitet, og det signalet som er mest følsomt overfor påvirkninger. Det vil bli diskutert i mer detalj her.

Den første pulsen i signalet “UT3” i figur 4.6, har en uønsket puls i forkant. Her er begge signalene like raskt ute, og flanken går litt oppover. Men signalet “UT3” har en rettere flanke, og oppfattes som sterkere. Derfor begynner pulsen å gå nedover, før signalet “Inverter 2” blir sterkest og drar pulsen oppover.

Den andre pulsen er tilfredsstillende. Den er bestemt av signalet “UT2”, hvor pulsen er rett i flankene. Neste gang den inverteres kan det oppstå en



Figur 4.8: Signalet “UT3” SFG-latchet en gang, simulert på utlegg.

uønsket puls, fordi det er en liten begynnelse på en uønsket puls. Årsaken er at signalet “Inverter 2” er mindre forsinket enn signalet “UT2”, som har hvert gjennom en inverter ekstra.

Den tredje pulsen har en stor uønsket puls som vil vokse seg større etter neste invertering. Det er signalet “UT2” som er det sterkeste, og som har en stor uønsket puls. Denne ville blitt større, hadde det ikke vært for at signalet “Inverter 2” også har en uønsket puls som drar motsatt vei, og begrenser størrelsen til den uønskede pulsen.

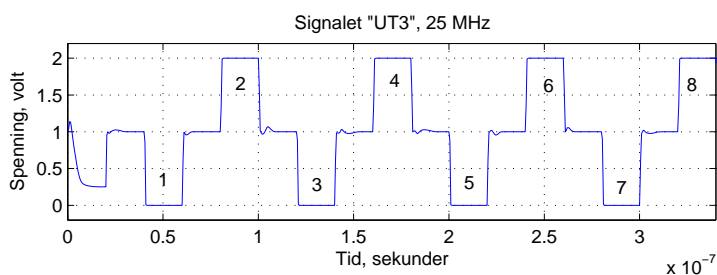
Den fjerde pulsen starter riktig vei, og får hjelp av en uønsket puls fra signalet “UT2”. Den fjerde flanken til signalet “Inverter 2” er forholdsvis mer krum enn signalet “UT2”, og signalet “UT2” tar over en liten stund fordi det er sterkest da. Neste gang den pulsen inverteres, vil den forandre logisk verdi.

Den femte pulsen blir også bestemt av signalet “Inverter 2”, og det samme skjer i den fjerde pulsen. Først går signalene “Inverter 2” og “UT2” opp og signalet “UT3” litt ned. Deretter også går signalet “Inverter 2” nedover og begynner å trekke signalet “UT3” oppover, men siden signalet “UT2” har rettere flanke, blir det trukket nedover. Til slutt blir signalet “Inverter 2” sterkest, og pulsen blir riktig, om noe forsinket. Det tar 2 nanosekunder før signalet beveger seg fra $V_{dd}/2$, og nesten ti nanosekunder før pulsen går opp mot V_{dd} .

Den sjettede pulsen har en liten puls riktig vei som skapes av en uønsket puls til signalet “Inverter 2” som går feil vei, men her går den riktig vei. Noen få tiendedels nanosekunder senere kommer det en liten uønsket puls fra signalet “UT2”, som trekker signalet oppover. Etter 4 nanosekunder har signalet et lavt nivå, slik det skal være.

Den syvende pulsen er relativt god. Den har en liten uønsket puls i starten på grunn av at det bestemmende signalet som er signalet “UT2”, er 0,2 nanosekunder senere enn signalet “Inverter 2”. Pulsen når høyeste nivå etter vel 2 nanosekunder.

Den åttende og siste pulsen har også en uønsket puls før den går riktig vei. Pulsen starter med å gå nedover som er riktig, selv om signalet “UT2”, er 0,2 nanosekunder senere trekker signalet oppover. Det signalet har rettere flanke som gjør at det er sterkest en liten stund, og drar pulsen feil vei til signalet “Inverter 2” er sterkest. Det tar nærmere 10 nanosekunder før pulsen er kommet til riktig nivå.



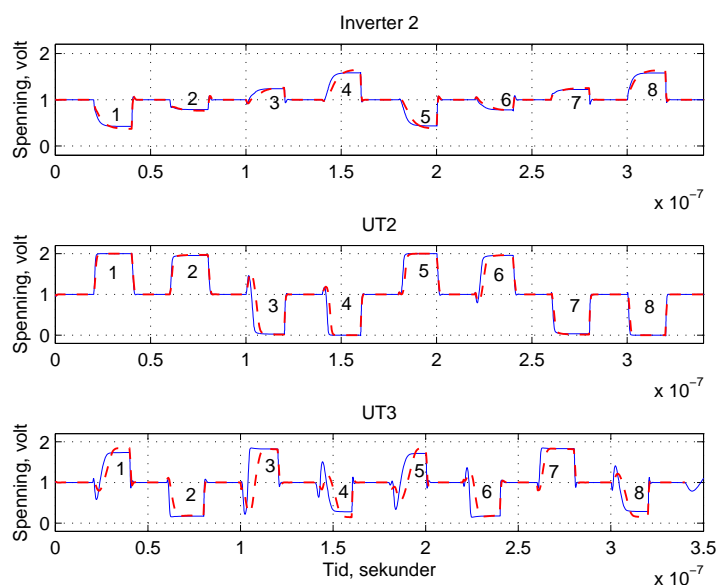
Figur 4.9: Signalet “UT3” SFG-latchet og invertert, simulert på utlegg

4.3.2.1 Hva kreves for å rette opp signalet UT3

Nivåene på pulsene til signalet “UT3” er ikke tilfredsstillende. Samtidig har signalpulsene uønskede pulser. Signalpulsene ligger vel 200 millivolt fra Vdd eller vel 200 millivolt fra jord. Ved å invertere signalet, vil den ønskede pulsen vil bli trukket opp til Vdd og ned til jord, og være tilfredsstillende. I figur 4.7 er signalet “UT3” blitt invertert to ganger. Da ligger pulsene på Vdd eller jord, noe som er bra. De uønskede pulsene derimot, vil bli høyere og bredere, noe som ikke er ønskelig. Om den uønskede pulsen er et problem eller ikke, avhenger av hvilken ende av pulsen som blir evaluert. En kan tenke seg at pulsen blir evaluert på de siste 5 nanosekundene av 20 nanosekunder. Da er signalene gode, men hvis signalene blir evaluert på første flanke, er signalene ikke brukbare.

Det er mulig å fjerne de uønskede pulsene ved å evaluere pulsene på bakerste flanke (se figur 4.8). Nå har de uønskede pulsene blitt fjernet, og signalet ser bra ut, bortsett fra at signalet er blitt forskjøvet en halv klokkeflanke. Dette tilsvarer 20 nanosekunder ved 25 MHz, og at pulsene ikke går helt opp til Vdd eller ned til jord. Nivåene ligger rundt 1945 millivolt på de høye pulsene og mellom 35 og 40 millivolt på de lave pulsene. Nivået på pulsene kan justeres nærmere Vdd og jord ved å øke størrelsen på kondensatoren til SFG-latchen. I denne simuleringen var kondensatorene på 5,7 fF. Ved å nesten doble størrelsen til 10,2 fF, vil nivåene bli løftet til 1983-1986 millivolt og de lave nivåene senket til 5-7 millivolt. Det kan i de fleste sammenhenger være godt nok. Men nivået på pulsene kan ytterligere justeres opp til Vdd og ned til jord, ved å sende signalet gjennom en inverter. Det vil gi gode signaler med rette flanker og pulser med riktig høyde (se figur 4.9). Spesielt hvis frekvensen økes fra 25 MHz, vil høyden på pulsene reduseres på grunn av lasten som kondensatoren representerer.

Ulempen er at de tre signalene som går ut fra FBKen, “UT1”, “UT2”, og “UT3” må være synkrone. Når et av signalene blir invertert eller forskjøvet en halv klokkesykel, må det samme gjøres på de andre utgangssignalene. Det gjør at kretsen raskt øker i størrelse og antall komponenter. I utgangspunktet består kretsen av fem invertere og fem kondensatorer. Hvis en vil invertere utsignalene en gang, vil kretsen bestå av åtte invertere og fem kondensatorer. Hvis en vil evaluere på avsluttende flanke, kreves tre invertere og tre kondensatorer i tillegg.



Figur 4.10: Sammenlikning av FBK med 0,35 mikrometer lengde (hel linje) og 0,6 mikrometer lengde (stiplet linje). Simulering i utlegg, 25 MHz.

Det beste resultatet oppnås ved å evaluere signalet på avsluttende flanke og deretter invertere signalet. Det krever til sammen åtte kondensatorer og elleve invertorer. Det er omtrent en dobling i størrelse og antall komponenter i forhold til det som i utgangspunktet var teoretisk nødvendig.

For å få mest mulig ideelle signal ut av kretsen, bør hvert av signalene evalueres på avsluttende flanke, og eventuelt inverteres. Da får en først fjernet de uønskede pulsene, og så forsterket opp de ønskede pulsene. Det ender opp med at buffersystemet blir større enn FBKen. Det vil si at buffersystemet kan bestå av flere transistorer og kondensatorer enn FBKen. Dette er ikke heldig når det er viktig å begrense arealforbruket.

Signal\puls	1	2	3	4	5	6	7	8
Inverter 2, kort	425	788	1239	1583	435	782	1222	1580
Inverter 2, lang	393	761	1258	1650	376	769	1252	1642
UT2 kort	2000	1953	28	0	2000	1955	34	0
UT2, lang	2000	1970	15	0	2000	1967	16	0
UT3 ,kort	1795	192	1806	212	1785	197	1814	216
UT3, lang	1849	193	1816	147	1845	187	1817	150

Tabell 4.8: Nivåene i figur 4.10. Verdier i millivolt.

Komponent	Lange transistorer	Minimum transistorer
PMOS i inverteren	B:3,35 μm L:0,6 μm	B:3,05 μm L:0,35 μm
NMOS i inverteren	B:0,6 μm L:0,6 μm	B:0,6 μm L:0,35 μm
PMOS oppladning	B:0,7 μm L:0,35 μm	B:0,7 μm L:0,35 μm
NMOS oppladning	B:0,6 μm L:0,35 μm	B:0,6 μm L:0,35 μm
Kondensator C1	5,0 fF	5,0 fF
Kondensator C2	11,4 fF	11,4 fF
Kondensator C3	3,1 fF	3,1 fF
Kondensator C4	5,7 fF	5,7 fF
Kondensator C5	13,7 fF	13,7 fF

Tabell 4.9: Størrelsen på komponentene i FBKen som har gitt signalene i figur 4.10

4.3.3 Forbedre utsignalet ved økning i lengden til transistorene

Ved å øke lengden til PMOS- og NMOS-transistoren i inverteren, vil forsterkningen øke, samtidig vil det bli større motstand over transistoren. Det gjør at den blir litt tregere. I figur 4.10 er det vist kurver for simulering på utlegg av FBK med to forskjellige lengder på transistorene i inverterne. De røde kurvene (stiplede linjer) viser simulering av signaler fra FBK med lange transistorer, og de blå kurvene (hele linjer) viser simulering av signaler fra FBK med de korte transistorene. Signalnivåene til signalene i figur 4.10 er vist i tabell 4.8, og størrelsen til komponentene i FBKen er vist i tabell 4.9 kolonne "Lange transistorer"

De blå kurvene har rettere flanker enn de røde kurvene. Det vises i alle tre signalene, men i signalet "UT3" er det mest synlig. Årsaken er at de korte transistorene er raskere enn de med lenger kanal. En lenger kanal gjør at elektronstrømmen får større motstand, og bruker 0,5-2 nanosekunder lenger tid til å balansere elektronstrømmen. Den tregheten til de lange transistorene gjør at de uønskede pulsene i signalet "UT3" blir litt lavere. Det syns best på puls nummer fire og fem. Samtidig gjør forsinkelsen at toppen av pulsen blir smal, også for at den blir høyere, og bruker lenger tid til å komme til det høyeste punktet.

Transistorer som er lengre har høyere forsterkning. Den røde kurven i alle tre kurvene i figur 4.10 ligger toppen på pulsene over den blå kurven som representerer FBKkretsen med de korte transistorene. Dette er på grunn av høyere forsterkning med økende lengde på kanalen til transistorene.

Det er lite å oppnå på å øke lengden på kanalen til transistorene i inverteren. Den øker den absolutte høyden til pulsene på grunn av økende forsterkning, men reduserer bredden på toppen av pulsene på grunn av at transistorene er tregere. De uønskede pulsene i signalet "UT3" varer lenger i tid selv om pulsene blir kortere. Lange transistorer gjør også at kretsen får en lavere maksimalfrekvens. I noen sammenhenger betyr frekvensen lite, da kan en bruke lengre transistorer for å øke den absolutte høyden til pulsene. Hvis det er viktig å kjøre kretsen på en høyest mulig frekvens,

Signal\puls	1	2	3	4	5	6	7	8
Innsignal	1756	1568	1340	1112	887	659	431	243
Inverter 1	0	0	5	115	1889	1990	2000	2000
Inverter 2	426	789	1231	1574	443	780	1221	1578
Ut 1	2000	2000	2000	2000	0	0	0	0
Ut 2	2000	1951	32	0	2000	1952	35	0
Ut 3	1788	191	1809	259	1702	189	1816	221

Tabell 4.10: Nivåene fra simulering av FBK 50 MHz, vist i figur 4.11, verdier i millivolt.

er det ikke interessant å øke lengde til transistorene, men heller benytte minimumslengde. Signalet "UT3" er ikke godt nok uten å rettes opp. Hvis en legger på en SFG-latch på hver av utgangene, vil signalene bli like gode som ved bruk av transistorer med minimumslengde. Det er dermed ingen grunn til å benytte lange transistorer i inverterne i en FBK.

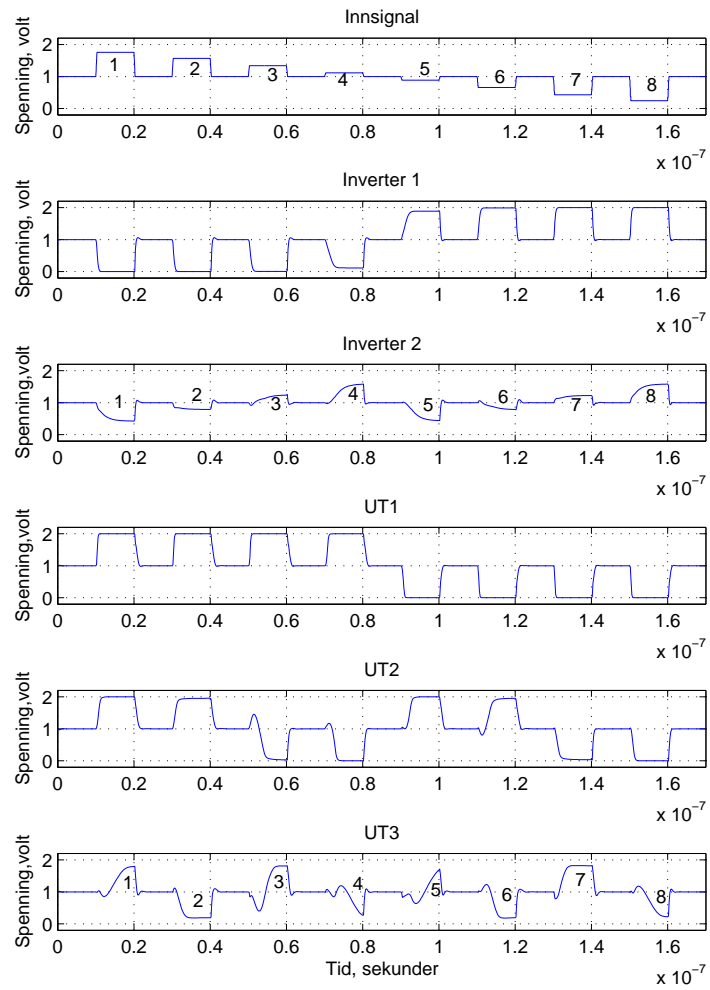
4.3.4 Høyeste frekvens

Når frekvensen økes, blir det kortere tid for hver puls til å komme opp til riktig nivå. I figur 4.11 er FBKen simulert på 50 MHz. Det er nær det høyeste frekvensen hvor kretsen kan klare og få riktige nivåer for det minst signifikante bitet, signalet "UT3". Nivåene til signalene er vist i tabell 4.10. Nivåene ligger nesten på samme nivå som ved 25 MHz. De nivåene er vist i tabell 4.6. Hvis frekvensen økes ytterligere vil de smaleste pulsene i signalet "UT3" ikke komme opp til riktig nivå. Det gjelder spesielt puls fire og fem, men etter hvert også puls en og åtte.

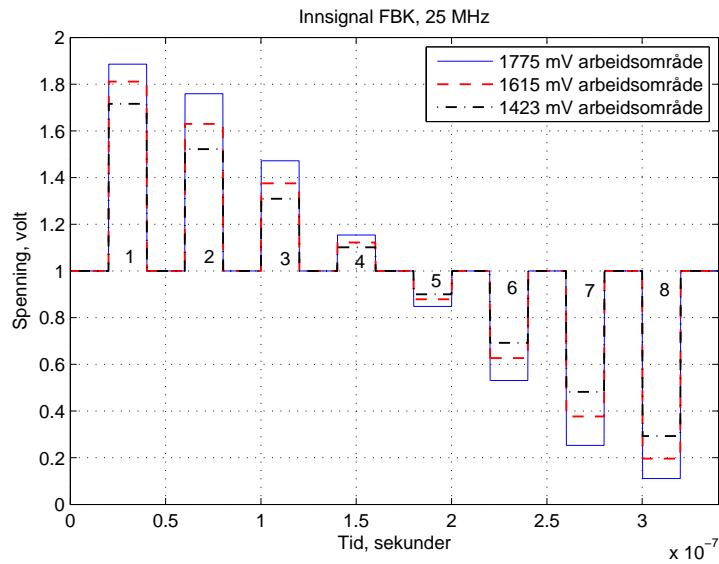
Signalene som vist i figur 4.11 er ikke gode nok til å brukes videre. Pulsene i signalet "UT3" ser ut som trekantpulser, og det skal være firkantpulser. De trenger en oppfriskning. Det beste vil være å evaluere på avsluttende flanke på pulsene, ved å bruke en SFG-latch. Da vil en få fjernet de uønskede pulsene i begynnelsen på hver puls, og få rette flanker i både begynnelsen og slutten av pulsene. Nivåene på pulsene vil antagelig ikke komme helt opp til Vdd eller ned til jord, men det kan være godt nok i noen sammenhenger. Ulempen er at signalet blir forskjøvet en halv klokkeperiode, og at det kreves tre invertere og tre kondensatorer i tillegg.

4.3.5 Forandring av arbeidsområde for innsignalet

Alle kondensatorene i FBKen er dimensjonert for et visst arbeidsområde til innsignalet. Hvis arbeidsområdet til innsignalet forandrer seg fra 1,6 volt til 1,4 eller 1,8 volt, vil det skape problemer for signalene i FBKen. I inverter nummer to, evalueres innsignalet mot det signalet som skal bli det mest signifikante bitet (MSB) fra inverter 1. Signalet fra inverter 1 er et binært signal hvor signalpulsene enten vil ligge på jord eller Vdd. Når det evalueres mot et innsignal med et annet arbeidsområde enn det kondensatoren C_2 er dimensjonert for, vil signalet som kommer ut av inverter nummer to (figur 4.5) ha feil nivåer. I en trebits FBK skal signalet også evalueres i inverter



Figur 4.11: FBK simulering i utlegg 50 MHz, symmetrisk innsignal



Figur 4.12: Innsignal, tre forskjellig arbeidsområde til innsignal.

Puls\Arbeidsområde	1423 mV	1615 mV	1775 mV
1	1716	1811	1886
2	1522	1630	1759
3	1309	1375	1472
4	1101	1122	1154
5	900	879	848
6	692	627	531
7	482	377	253
8	293	196	111

Tabell 4.11: Spenningsnivåene til innsignaler med forskjellig arbeidsområde, verdier i millivolt.

Puls\arbeidsområde	1423 mV	1615 mV	1775 mV
Vdd-1	284	189	114
1-2	194	181	127
2-3	212	254	287
3-4	209	253	318
4-5	201	243	306
5-6	208	252	316
6-7	210	249	279
7-8	188	181	142
8-jord	293	196	111

Tabell 4.12: Spenningsforskjellen mellom spenningsnivåene i tabell 4.11, verdier i millivolt.

nummer fem. Det er dette som er det svakeste punktet. Det er her det først blir feil på signalet når en øker frekvensen. Det er også her det først vil bli feil når arbeidsområdet til innsignalet blir forandret. Det er laget tre flernivåsignal, ved å benytte en trebits BFK og forandre forsterkningen. Det er brukt tilbakekoblingskondensator størrelsene 17 fF, 22 fF og 27 fF som gir et arbeidsområde på henholdsvis 1775 millivolt, 1615 millivolt og 1423 millivolt. BFK har størrelse på transistorer og kondensatorer som beskrevet som 'minimum' i tabell 3.5. Flernivåsignalene er vist i figur 4.12. Det er signalet med et arbeidsområde på 1775 millivolt som er minst lineært. Det er hverken lineært om $V_{dd}/2$ eller i forhold til avstanden mellom pulsene. Spenningsnivåene til signalene og avstanden mellom spenningsnivåene er vist i tabellene 4.11 og 4.12.

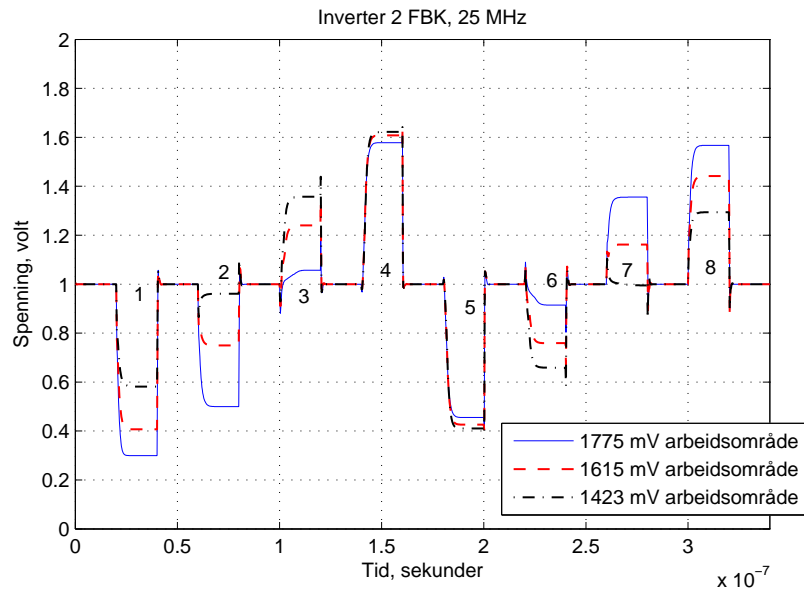
Når en FBK blir simulert med de tre forskjellige innsignalene, blir signalene ut av inverter nummer to i figur 4.5 som vist i figur 4.13. Kondensatorene i FBKen er dimensjonert for signalet med 1615 millivolt arbeidsområde. Det signalet har gode pulser. De to andre signalene har ikke det. For signalet med 1775 millivolt arbeidsområde er puls tre og seks på feil nivå, og for signalet med arbeidsområde på 1423 millivolt er puls to og syv på feil nivå. Det påvirker evalueringen i inverter fem. Signalene er vist i figur 4.14.

Her er signalet med arbeidsområde på 1615 millivolt gode selv om tilsvarende pulser ikke ligger på samme nivå. For de to andre signalene er det blitt flere bitfeil. Det signalet med 1775 millivolt arbeidsområde har en bitfeil i puls nummer to og syv. For det andre signalet er det bitfeil i puls tre, seks, syv og åtte. Selv om det er mest lineært av de tre.

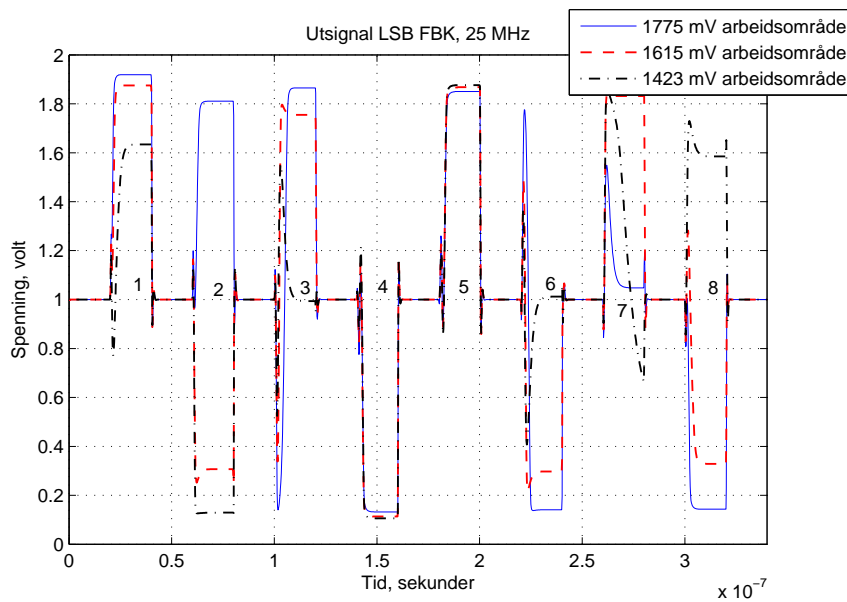
Resultatet er at en trebits FBK er følsom for forandring i høyden på signalpulsene til innsignalet. Her er det ikke vist hvor grensen går, men det er relativt liten forandring i signalnivået, under 100 millivolt i forhold til det signalet FBKen er optimalisert for.

4.3.6 SFG-latching av utsignalene

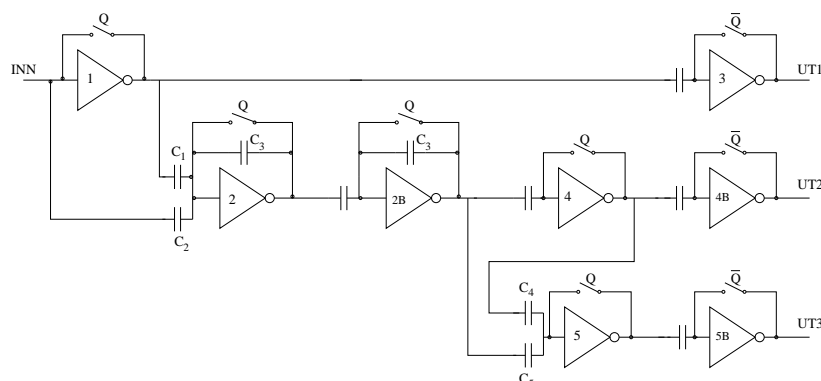
Det er laget en FBK hvor målet var å benytte SFG-latching i størst mulig grad for å unngå uønskede pulser på flankene. De uønskede pulsene



Figur 4.13: Signalet ut av inverter nummer to, tre for skjellig arbeidsområde til innsignal.



Figur 4.14: Utsignal LSB, tre forskjellig arbeidsområde til innsignal.



Figur 4.15: Trebits FBK som er SFG-latchet

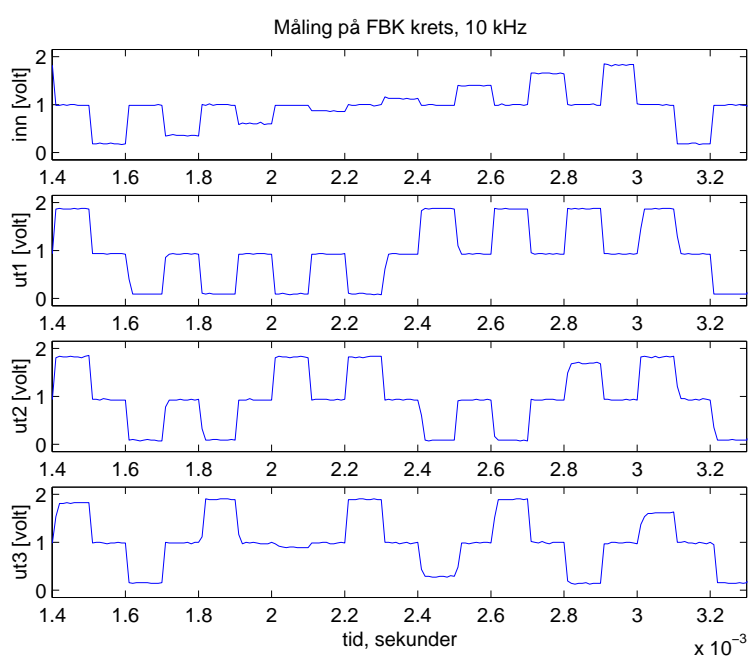
oppstår når to signaler summeres og signalene er forskjøvet i forhold til hverandre, eller når signalene har forskjellige stige- og falltider. I FBKen i figur 4.15 er det benyttet SFG-latching i størst mulig grad for å ta hensyn til forskjellig stige- og falltid på flankene. Alle inverterne ble i utgangspunktet SFG-latchet, og utsignalet ble vurdert i forhold til et invertert signal. Hvis signalet ikke ble bedre ved å SFG-latche det, ble signalet invertert, siden det er mest sikkert i forhold til forskyving av innsignalet i forhold til klokkesignalet.

I inverter to er det testet ut å SFG-latche signalet. Det gjorde ikke signalet bedre. Det viste seg at det også var forskjell i stige- og falltid på avsluttendeflanke til signalpulsene. Det gjorde at andre flanker fikk uønskede pulser istedenfor. Derfor er det valgt å invertere signalet i inverter to. For å holde signalet "UT2" og "UT3" synkront med signalet "UT1", må signalet fra inverter to invertteres en gang til. Inverter fire og fem ga best resultat ved å invertere signalet, siden SFG-latching ga forskjellig stige- og falltid på avsluttende flanke. Når signalene er riktig logisk har ingen av de avsluttende flankene uønskede pulser. Det gjør at en SFG-latching retter opp flankene til signalet.

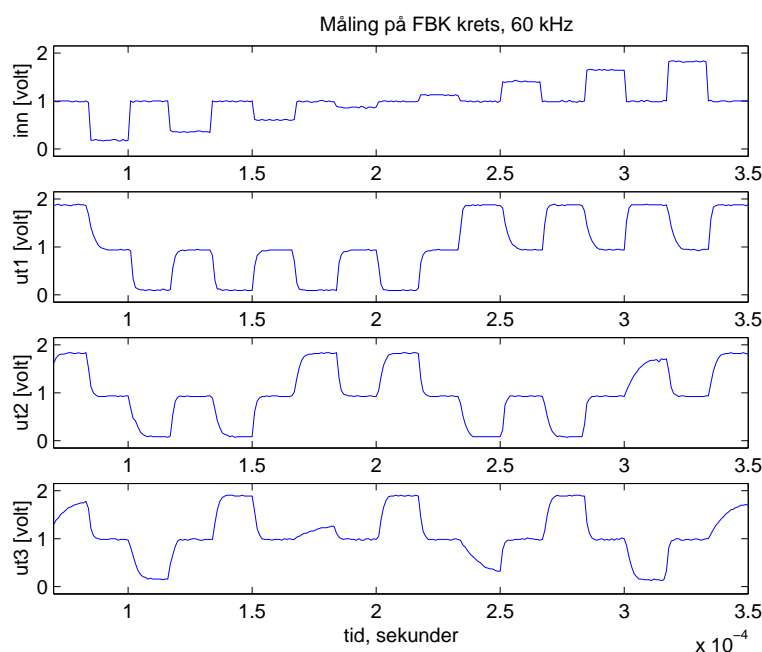
Konklusjonen er at SFG-latching hjelper ikke, siden det er forskjeller på stige- og falltiden til begge flankene til signalpulsene.

4.4 Måling og evaluering

En enkel FBK-krets er målt. Resultatet vises i figur 4.16. Kurvene viser at det er gode signaler ved en frekvens på 10 kHz klokkesignal, bortsett fra det minst signifikante signalet, "UT3" hvor noen av pulsene ikke har utslag. Signalene skal gå opp og ned annenhver gang. Ett sted holder signalet seg høyt i tre pulser etter hverandre. Andre steder er pulsen for liten. Dette skyldes at utlegget ikke er tilstrekkelig justert for parasitter. Det er spesielt de to kondensatorene som evaluerer signalene som lager det minst signifikante bitet. Signalene "UT1" og "UT2" er mindre følsomme for størrelsesforholdet mellom kondensatorene som evaluerer signalene.



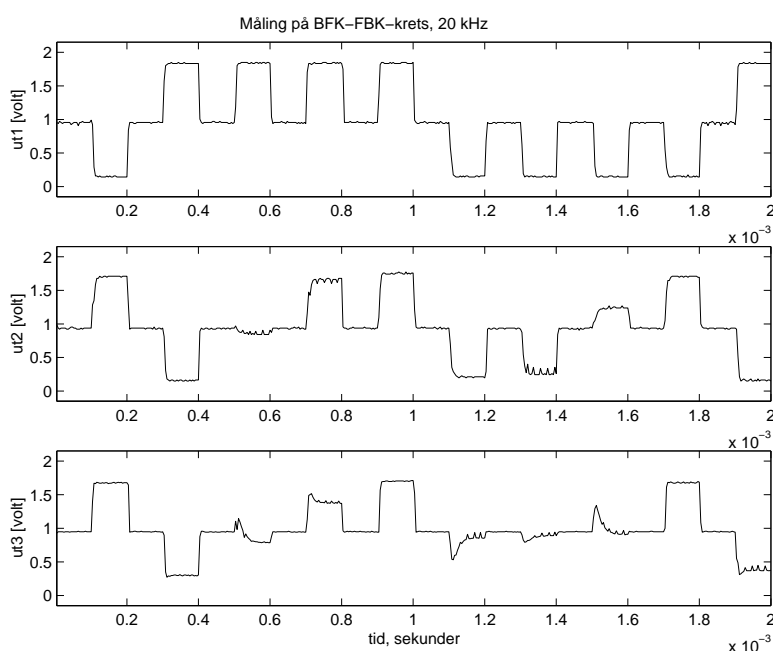
Figur 4.16: Måling av en enkel FBK ved 10 kHz. Kretsen er laget av minimumstransistorer, og så små kondensatorer som mulig. Øverste kurven er innsignalet. Kurve to, tre og fire er utsignaler, henholdsvis mest signifikant, mellomst og minst signifikant.



Figur 4.17: Måling av en enkel FBK ved 60 kHz. Kretsen er laget av minimumstransistorer, og så små kondensatorer som mulig. Øverste kurven er innsignalet. Kurve to, tre og fire er utsignaler, henholdsvis mest signifikant, mellomst og minst signifikant.

Måling ved en klokkefrekvens på 60 kHz vises i figur 4.17. Flankene begynner å bli runde. På signal "UT1" er det ingen problem, pulsene når helt opp til Vdd og helt ned til jord, og oppladningsnivået er bra. Når det gjelder signalet "UT2" er det noen av pulsene som så vidt kommer opp til Vdd eller ned til jord. Det betyr at det vil være greit å evaluere signalene for en krets som mottar signalet fra FBKen. Det siste signalet "UT3" er svakest. For at det skal kunne leses av en annen krets, må signalet bufferes opp. Signalet bærer også preg av en viss ubalanse mellom kondensatorene på inngangene. Resultatet viser seg ved at noen pulser er rette og høye mens andre har runde flanker og er korte.

Det er målt på en krets som består av en BFK og en FBK som er koblet sammen. Det sendes tre binære oppladningssignaler inn på en trebits BFK. FBK kretsen mottar et flernivåsignal, og konverterer det tilbake til et binært oppladningssignal. Figur 4.18 viser utsignalene fra FBKen. Den øverste kurven med det mest signifikante bitet er bra, men det mellomste og det minst signifikante bitet er ikke gode signaler. Årsaken til at de to kretsene ikke virker sammen er at de er følsomme for variasjoner i spenningsnivået til innsignalet. I denne målingen får kretsene ikke signaler med de spenningsnivåene de er dimensjonert for. Kretsene er dimensjonert for å motta et signal fra en krets som gjør om et binært signal til et binært oppladningssignal. I denne målingen er det laget et



Figur 4.18: Måling av BFK og FBK koblet sammen på samme brikke. Kurvene viser de tre utsignalene fra FBKen.

signal i en signalgenerator som er brukt som et innsignal. Dette signalet er litt forskjellig fra det som kretsen vil lage, selv om signalet fra signalgeneratoren er laget tilnærmet likt signalet fra kretsen. Dette viser at FBKen tåler liten forandring i spenningsnivået før den ikke gir riktig signal ut.

4.5 Oppsummering

Det er simulert på to- og trebits FBKer. Begge kretsene virker logisk under simuleringer i skjema og utlegg, og trebits FBK under måling. For tobits FBK ble det vurdert om det var nødvendig med en tilbakekoblingskondensator i den andre inverteren, siden en annen hovedoppgave hadde benyttet den løsningen når det ble designet en tobits FBK som ble brukt som en byggeblokk i en desimator. Simuleringene viste at kretsen ga et bedre signal uten bruk av tilbakekoblingskondensatoren.

For trebits FBKen oppstår det uønskede pulser foran flere av signalpulsene. Det krever buffer for å rette opp signalene før utgangen til kretsen. De uønskede pulsene oppstår på grunn av forskyving, og forskjellig stige- og falltid til to signaler som skal summeres. Det er mulig å unngå noen av de uønskede pulsene ved å SFG-latke signalene, men samme problemet oppstår da ved at avsluttende flanke til signalpulsene får forskjellig stige- og falltid istedenfor.

Det er undersøkt om økning av lengden til transistorene vil gi et bedre

utsignal for en trebits FBK. Det viste seg ikke å bidra å redusere størrelsen eller antallet uønskede pulser. Pulsene ble høyere, og fikk lengre stige- og falltid på grunn av økning i forsterkningen.

En trebits FBK er følsom for forandringer i arbeidsområdet til innsignalet. Marginen til inngangskondensatorene som er vektet i forhold til hverandre, er liten før den ene ikke er sterk nok i forhold til den andre. Årsaken til at marginene er små, er ulineæriteten til signalet fra en invert-er.

Det er undersøkt en løsning hvor en SFG-latcher signalene i FBKen. Det hjelper ikke på å redusere glitcher på grunn av forskjellig stige- og falltid til flankene. Etter en SFG-latching har avsluttende flanke fått forandret stige- eller falltiden. Det gjør at det oppstår problemer neste gang signalet inverteres.

En løsning med firebits er ikke undersøkt da den ville være enda vanskeligere å få et godt signal for det minst signifikante bitet, enn en trebits løsning. Et bit i tillegg ville gitt en krets som var dobbelt så stor i antall komponenter. Det ville ikke vært en god løsning.

Kapittel 5

Videre arbeid

En videre utvikling vil være å se på muligheter for å redusere det statiske strømforbruket. Det kan være lavere forsyningsspenning til kretsen. En annen løsning er å bruke klokke som forsyningsspenning og jord. Det er undersøkt, og gav et noe lavere strømforbruk. Det er mulig å finne andre tilsvarende løsninger som kan gi et enda lavere strømforbruk.

Det er nødvendig med en annen løsning for oppladning av SFG-noden til en semi floating-gate inverter for å kunne redusere strømforbruket. Det vil være en fordel for det dynamiske strømforbruket om signalene ikke behøvdde å trekkes til og fra $V_{dd}/2$ for hver klokkesykel.

FBK og BFK kretsen kan settes sammen til en krets som kan friske opp et flernivåsignal. Det vil være en krevende oppgave hvis flernivåsignalet er trebits, siden en trebits FBK er følsom for forandring av arbeidsområdet til innsignalet.

Det bør utvikles en bedre klokkestrategi som tåler mer forsinkelser mellom klokkesignal og innsignal. Klokkestrategien bør kunne unngå at klokkesignalet blir forsinket i forhold til innsignalet. For mindre kretser kan løsningen være å benytte klokke med skrå flanker.

I SFG-kretser benyttes mange kondensatorer. De er relativt arealkrevende i utlegg. For å gjøre SFG-kretser mindre arealkrevende vil det være en fordel å utvikle kondensatorer som kan ta opp mer ladning per areal.

Det kan jobbes mer med hvor mange bit det er praktisk mulig å skille i en BFK, i forhold til støymargin. Det kan være andre måter å presentere det binære signalet på.

Det er ikke gjort simuleringer på BFKen og FBKen med last. En kan simulere kretsene med mye last.

Kapittel 6

Konklusjon

Oppgaven har gått ut på å lage en binær til flernivå konverter (BFK) og en flernivå til binær konverter (FBK), i semi floating-gate logikk. Utgangen til BFKen skulle være kompatibel med inngangen til FBKen. Da kunne en sende et binært signal inn på en brikke og ha flernivåkretser som utførte en operasjon. Utsignalet fra den operasjonen kunne konverteres til et binært signal og sendes ut av brikken.

Hovedoppgaven undersøker påstander om at semi floating-gate konvertere bruker mindre strøm, krever mindre areal og er raskere enn tradisjonell logikk. Det har, etter mange simuleringer, vurderinger og målinger vist seg ikke å være tilfelle.

Semi floating-gate kretser er klokket, og halvparten av tiden er signalet på $V_{dd}/2$ nivået. Det gjør at den maksimale frekvensen en krets kan oppnå nesten blir halvert sammenliknet med tradisjonell logikk. Det er valgt å benytte en forsyningsspenning på 2,0 volt, selv om prosessen tåler en forsyningsspenning på 3,3 volt. Bakgrunnen er å redusere strømforbruket, å operere nærmere det lineæreområdet.

Semi floating-gate kretser bruker sannsynligvis ikke mindre areal enn tradisjonell logikk. En inverter i tradisjonell logikk består av to transistorer. I semi floating-gate logikk består en inverteren av fire transistorer og en kondensator. En semi floating-gate inverter er avhengig av å være balansert for å ha svitsjepunktet på $V_{dd}/2$. Tradisjonell logikk er ikke avhengig av det. Da kan PMOS-transistoren være smalere og ta mindre plass. Totalt kan en semi floating-gate inverter tilsvare arealet til tre eller flere tradisjonellinvertere, avhengig av antall kondensatorer i semi floating-gate inverteren.

En semi floating-gate inverter kan utføre flere funksjoner i en inverter. Da har den flere innganger med en kondensator for hver inngang. Kondensatorene tar ofte større plass enn en transistor. Tradisjonell logikk krever flere invertere for å gjøre en tilsvarende funksjon. Det gjør at de to løsningene sannsynligvis krever omtrent det samme arealet på en brikke.

6.1 Oppladningstransistorer

Under de første simuleringene ble det benyttet invertere med en oppladningstransistor. Relativt raskt ble det bestemt at det skulle brukes to oppladningstransistorer, uten at det ble gitt noen nærmere forklaring på hvorfor. Alle simuleringer er utført med to oppladningstransistorer. I ettertid er det gjort simuleringer for å finne ut hvor viktig det var å benytte to oppladningstransistorer. Resultatet av simuleringene viser at det ikke er nødvendig med mer enn en NMOS-oppladningstransistor. PMOS-transistoren var stort sett ikke raskere enn en NMOS-transistor, og bidro ikke til å gjøre signalet bedre eller raskere. En inverter med en PMOS-transistor som oppladningstransistor som var fem ganger bredere, ga kretsen et signal som var mer likt signalet som kretsen med NMOS-transistoren hadde.

6.2 Forskyving av signaler

Det ble nevnt at SFG-latching er følsomt for forskyving av klokkesignalet i forhold til innsignalet. Det ble undersøkt hvor stor forskyving som skal til, før utsignalet blir ødelagt i forskjellige operasjoner. Det ble også undersøkt om det er mindre kritisk om klokkesignalet er forsinket i forhold til innsignalet, eller omvendt.

Hvis forandringen i innsignalet kommer før forandringen i klokkesignalet, vil utsignalet bli borte. I omvendte tilfeller vil utsignalet være bra, men signalpulsene blir smalere. Hvis forskyvingen av innsignalet i forhold til klokkesignalet er mindre enn stige- og falltiden til klokkesignalet, vil utsignalet være bra.

Under SFG-latching blir signalet borte hvis et av signalene er forskyvet mer enn stige- eller falltiden til signalpulsene. Det spiller ingen rolle hvilket signal som kommer først. Det er en fordel om stige- og falltiden til klokkesignalet er forholdsvis lang, for da å redusere problemer ved forskyving av klokkesignalet i forhold til innsignalet. I en større krets vil det bli en liten forsinkelse gjennom hver inverter. Det vil ikke skape problemer, bortsett fra hvis en benytter SFG-latching i de siste inverterne.

6.3 Strømforbruk

I starten av hovedoppgaven var det intet snakk om strømforbruket til semi floating-gate kretsene, bortsett fra at de skulle bruke mindre strøm enn tilsvarende tradisjonell logikk. Ideen om å finne strømforbruket til kretsene kom når målingene ble utført. Det var ikke mulig å måle strømforbruket, siden alle kretsene hadde felles strømforsyning og jord, og noen av kretsene hadde felles innganger. Simulering av strømforbruket er gjort på en enkelt inverter. Da har det vært lettere å sammenlikne to like kretser, selv om det ikke har kunnet tegne hele bildet. Strømforbruket til en semi floating-gate inverter ble sammelignet med en tradisjonell inverter.

Det ser ut som det dynamiske strømforbruket er forholdsvis likt, unntatt når det er store kondensatorer i forbindelse med SFG-noden. Da vil lastkapasitansen gjøre at stige- og falltiden øker, og samtidig det

dynamiskestrømforbruket. I en semi floating-gate inverter går signalnivået til og fra $V_{dd}/2$ en gang for hver klokkepuls. Det gjør at en får flere strømpulser enn ved klassisk logikk, hvor en har en strømpuls hver gang signalet forandrer seg. Det gjør at SFG-kretser har et like høyt eller høyere dynamisk strømforbruk enn tradisjonell logikk.

Det statiske strømforbruket er vesentlig høyere, siden utsignalet ligger på $V_{dd}/2$ under oppladningssekvensen, som er halvparten av tiden. Det betyr at en krets som er laget av semifloating-gate kretser ikke egner seg til bruk hvor det er en begrenset strømforsyning, for eksempel når systemet benytter et batteri som strømforsyning. Siden semi floating-gate kretsene bruker mye strøm, kreves det også mye kjøling. Dermed kan de bare benyttes i systemer hvor det er mulighet for god kjøling.

6.4 BFK

BFKen ble simulert og målt. Den gir et bra signal når det måles på en enkeltstående krets. For å få avstanden mellom hvert spenningsstrinn mest mulig likt, kreves det at tilbakekoblingskondensatoren er større enn summen av inngangskondensatorene. Det reduserer størrelsen til arbeidsområdet. Det beste er å bare benytte det inverterens lineære området. Under simuleringene var målet i starten å ha et arbeidsområde som var så stort som mulig, og likevel oppnå et relativt lineært utsignal. Da endte det opp på et arbeidsområde på 1600 millivolt. Det er vist i mange av kurvene i denne rapporten. I ettertid er det konkludert med at et arbeidsområde på 1200 millivolt er bedre. Da er avstanden mellom hvert spenningsstrinn likere.

I starten av hovedoppgaven var målet å lage en raskest mulig løsning. I den forbindelse var det nødvendig å finne best mulig forhold mellom små raske transistorer og lasten til kondensatorene og transistorene. De raskeste transistorene er de som er smalest. Det samme gjelder kondensatorene. Den maksimale frekvensen for en BFK med minimums komponenter for skjema- og utleggssimulering er 100 MHz. Frekvensen kan økes mer enn det. Da må transistorbredden økes, og kondensatorene kan fremdeles være av minimumsstørrelse. Lasten som den økte bredden til transistorene representerer vil bidra til å øke tilbakekoblingskondensatorens størrelse, og dermed reduseres arbeidsområdet til utsignalet. Dermed må en økende transistorbredde kompenseres ved å redusere størrelsen til tilbakekoblingskondensatoren, for å kunne ha samme arbeidsområde til utsignalet. Når summen av lasten fra transistorer og kondensatorer øker, vil det oppstå glitcher i starten og slutten av hver signalpuls. Økende last øker lengden til glitchene og stige- og falltiden til signalpulsenes flanker.

6.4.1 To- og trebits BFK

I starten var målet å dimensjonere en trebits BFK. Det er også laget en tobits og en firebits BFK. I utgangspunktet er det bare å øke antall innganger for å øke antall bits. Etterhvert som antall bits økes, blir avstanden mellom hvert spenningsnivå så liten at det ikke er mulig å skille ett nivå fra det neste. Antall bits som er praktisk mulig avhenger av støymarginen

og forsyningsspenningen som benyttes. Med de nyeste prosessene hvor forsyningsspenningen er 1 volt, er trebits for høy oppløsning. I den prosessen som er brukt er trebits oppløsning på grensen av det som er mulig i et større system.

Når antall bits øker, øker også totalkapasitansen til kretsen. Kapasitansen til kretsen dobles for hver økning i antall bit. En mulighet for å redusere økningen i kapasitansen når antall bits øker, er å bruke to tobits BFKer i parallell for å lage et firebits signal. En 2x2bits BFK har en totalkapasitans på 72 fF, og en 1x4bits BFK har en total kapasitans på 116 fF, når utsignalene er tilnærmet like. Det er en stor forskjell, og det synes på utsignalet, at en 2x2bits BFK har mindre glitcher på hver flanke. Når signalet fra to BFKer blir summert i en tredje, blir ulineæriteten til en inverter mer synlig. I utsignalet til en 2x2bits BFK blir avstanden mellom spenningsnivåene mer varierende enn for en 1x4bits BFK. Dette øker støymarginen til utsignalet, noe som gjør at kretsen ikke er et bedre alternativ. Det er mulig å gjøre signalet mer lineært ved å redusere arbeidsområdet til utsignalet. Det vil gjøre avstanden mellom hvert nivå lik, men avstanden mellom hvert nivå blir også mindre. 2x2bits BFK er ikke noen bedre løsning enn en 1x4bits BFK.

6.4.2 Målinger

Måling av en BFK viser et bra utsignal når det gjelder avstanden mellom hvert nivå. Det som ikke er bra, er at svitsjepunktet til BFKen ligger på 937 millivolt, og ikke 1000 millivolt, som den er balansert for i simuleringene. Det vil si at PMOS-transistoren er svakere enn NMOS-transistoren. Variasjonen ligger innenfor naturlige prosessvariasjoner til denne prosessen. Dette skaper problemer for dimensjonering av kretser som skal benytte utsignalet fra BFKen som innsignal, spesielt når det er mange nivåer og liten støymargin mellom hvert nivå. En firebits BFK har en avstand på omkring 80 millivolt mellom hver av disse. Det vil si at signalet under måling er forskjøvet nesten en logisk verdi. I en annen produksjon kan det være at PMOS-transistorene er sterkere enn NMOS-transistorene. Det vil si at utsignalet kan variere med nesten 70 millivolt opp eller ned. I en trebits BFK er avstanden mellom spenningsnivåene omkring 200 millivolt. Det er nødvendig å beregne stor støymargin for være sikker på at kretsen skal virke på en brikke.

6.5 FBK

I begynnelsen skulle det dimensjoneres en trebits FBK som fikk innsignalet fra en trebits BFK. Den kretsen det er målt på er dimensjonert i forhold til det. Senere er det gjort simuleringer med signaler som er mer lineære. I rapporten er det også beskrevet en tobits FBK hvor det blir vurdert om tilbakekoblingskondensatoren C_3 er nødvendig eller ikke. Bakgrunnen er at begge alternativene er funnet i litteraturen. Det var interessant å finne ut hvilken løsning som var den beste, og det ble vurdert til å være løsningen uten C_3 .

Under dimensjoneringen av en trebits FBK var det vanskelig å unngå å få uønskede pulser i starten på signalpulsene. Problemet oppstår når to signaler evalueres, og det sterkeste signalet er litt forsinket i forhold til det svakeste signalet. Det som skjer er at det svakeste signalet begynner å trekke signalet gal vei, og det sterkeste signalet begynner å trekke riktig vei etterpå. Da er det blitt dannet en uønsket puls, neste gang signalet inverteres forsterkes den uønskede pulsen. Det er lite ønskelig å ha uønskede pulser på signaler som skal benyttes som innsignal av andre kretser. En måte å fjerne de uønskede pulsene er å benytte buffer på utgangen. Den beste løsningen var å SFG-latche utsignalet. I praksis vil det si å evaluere signalet på avsluttende flanke. Da forsvinner de uønskede pulsene, og signalpulsene kommer ikke helt opp til Vdd eller helt ned til jord. For at signalet skal gjøre det, må det forsterkes opp med en semi floating-gate inverter. Ulempen med bufferne er at kretsen blir dobbelt så stor som det som er nødvendig for den logiske delen. I utgangspunktet var oppgaven å lage kretser som benyttet minst mulig areal. Denne løsningen blir unødvendig stor i forhold til det målet. Det ble også laget simuleringer hvor flest mulig av semi floating-gate inverterne var SFG-latcher. Det var tenkt at hvis signalpulsene ble evaluert på avsluttende flanke, ville problemet med forsinkelse bli borte. Det hjalp ikke, SFG-latchene skapte en forsinkelse som gjorde at det ble uønskede pulser på andre steder istedenfor. Antall glitcher var det samme, og behovet for å rette opp utsignalene var like stort.

6.5.1 Minst signifikant bit

Det minst signifikante bitet som er UT3 i figurene, er følsomt for forandringer i inngangskondensatorstørrelsen i inverter fem. Det er gjort mange simuleringer for å finne den optimale løsningen til det problemet, men uten hell. Det er viktig at arbeidsområdet til innsignalet er størst mulig, noe som ikke passer bra for BFKen, hvor en vil redusere arbeidsområdet for å få et mer lineært signal.

Å lage en firebits FBK er ikke å anbefale, siden det fjerde bitet blir enda mer følsomt for dimensjoneringen av inngangskondensatorene til akkurat det bitet, og kretsen blir dobbelt så stor. Det vil være en bedre løsning å benytte to tobits FBKer i parallell. En trebits FBK er heller ikke stabil nok til å kunne brukes i et større system. Det anbefales å benytte tobits FBKer istedenfor.

Det er gjennomført simuleringer for å se hvor stor forandring i arbeidsområdet en trebits FBK tåler uten å få bitfeil. BFKen ble dimensjonert for et innsignal med et arbeidsområde på 1615 millivolt, og det ble utført simuleringer med innsignal som hadde arbeidsområder på 1775 millivolt og 1423 millivolt. Det ble bitfeil på begge de signalene BFKen ikke var dimensjonert for.

I utgangspunktet var det tenkt at flernivåsignalet fra BFKen skulle benyttes i flernivålogikk, og deretter konverteres av en FBK til et binært signal før det sendes ut av brikken. Det er lettere å buffre opp binære signal før en sender det til paden, enn å buffre opp flernivåsignal. Det er usikkert om kretsene vil gi et signal uten bitfeil når svitsjepunktet er forskjøvet vekk

fra $V_{dd}/2$. Det ble gjort en måling på en BFK og FBK i serie, hvor kretsene var designet for et innsignal fra en annen krets. Målingen viste bitfeil på utsignalet, selv om innsignalet var tilnærmet likt det kretsen var designet for. Det viser hvor følsomme flernivå semi floating-gate kretser er.

Bibliografi

- [1] Y. Berg, S.Aunet, Ø. Næss og O.Mirmotahari. Basic multiple-valued functions using recharge cmos logic. *Proceedings of the 34th International Symposium on Multiple-Valued Logic*, side 346–351, mai 2004.
- [2] Y. Berg, S.Aunet, O.Mirmotahari og M.Høvin. Novel recharge semi-floating-gate cmos logic for multiple-valued systems. *Proceedings of the 2003 International Symposium on Circuits and Systems. ISCAS*, 5:V-193 –V-196, mai 2003.
- [3] Y. Berg, Tor S.Lande og Øivind Næss. Programming floating-gate circuits with uv-activated conductances. *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing*, 48:12–19, januar 2001.
- [4] Y. Berg, Ø.Næss, S.Aunet, J. Lomsdalen og M.Høvin. A novel floating-gate multiple-valued signal to binary signal converter for multiple-valued cmos logic. *9th International Conference on Electronic, Circuits and Systems*, 2:579–582, 2002.
- [5] Y. Berg, Ø.Næss, S.Aunet og M.Høvin. A novel floating-gate multiple-valued signal to binary signal converter. *9th International Conference on Electronic, Circuits and Systems*, 2:575–578, 2002.
- [6] Y. Berg, Ø.Næss, S.Aunet, R.Jensen og M.Høvin. Novel floating-gate multiple-valued signal to binary signal converters for multiple-valued cmos logic. *IEEE International Symposium on Circuits and Systems. ISCAS*, 5:V-385 –V-388, mai 2002.
- [7] Paul Hasler og Tor S. Lande. Overview of floating-gate devices, circuits, and systems. *IEEE Transactions on circuits and systems-II: Analog and digital signal processing*, 48:1–3, januar 2001.
- [8] Koj Kotani, Tadashi Shibata, Makoto Imai og Tadahiro Ohmi. Clocked-neuron-mos logic circuits employing auto-threshold-adjustment. *IEEE International Solid-State Circuits Conference. Digest of Technical Papers. 42nd ISSCC*, side 320–321, februar 1995.
- [9] Omid Mirmotahari. Novel latching scheme in multiple-valued recharge logic. Hovedfagsoppgave, Universitetet i Oslo. Institutt for Informatikk, mai 2003.

- [10] Omid Mirmotahari og Yngvar Berg. A novel multiple-input multiple-valued semi-floating-gate latch. *Proceedings of the 33rd International Symposium on Multiple-Valued Logic*, side 227-231, mai 2003.
- [11] Omid Mirmotahari og Yngvar Berg. A novel d-latch in multiple-valued semi-floating-gate recharged logic. *Proceedings of the 34rd International Symposium on Multiple-Valued Logic*, side 210-213, mai 2004.
- [12] Øivind Næss. *Non-volatile and volatile floating-gate circuits programming techniques*. Doktorgradsoppgave, Universitetet i Oslo. Institutt for Informatikk, april 2005.
- [13] Tadashi Shibata og Tadahiro Ohmi. An intelligent mos transistor featuring gate-level weighted sum and threshold operations. *Technical Digest. International. Electron Devices Meeting*, side 919-922, desember 1991.
- [14] Tadashi Shibata og Tadahiro Ohmi. A functional mos transistor featuring gate-level weighted sum and threshold operations. *IEEE Transactions on Electron Devices*, 39:1444-1455, juni 1992.
- [15] Espen Torstensen. Desimator ved hjelp av flernivå logikk. Hovedfagsoppgave, Universitetet i Oslo. Institutt for Informatikk, mai 2005.
- [16] Eric A. Vittoz. Analog vlsi signal processing: Why, where and how? *Journal of VLSI Signal Processing*, 8:27-44, juli 1991.

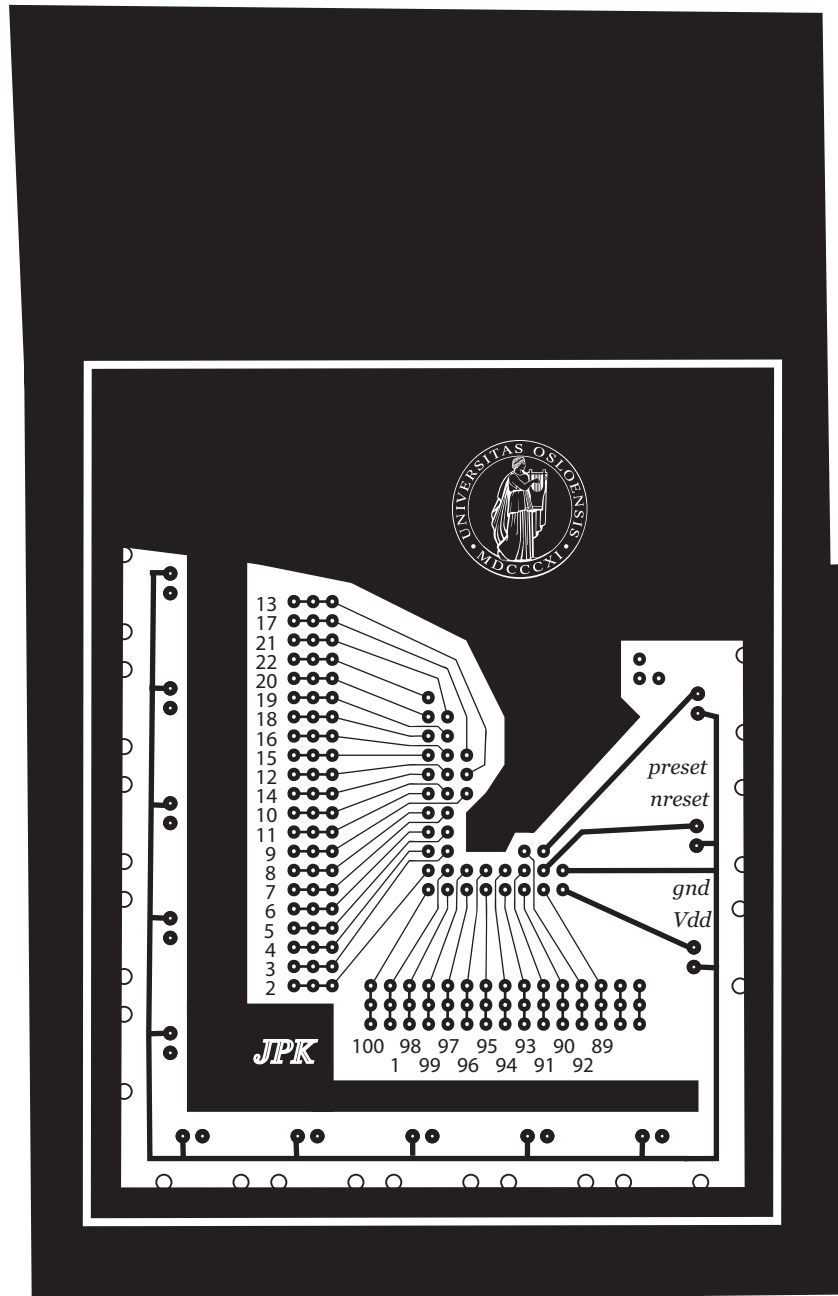
Måleoppsett

Det ble etset mønster og baner i et kort belagt med kobber. Brikken ble plassert i de hullene som var borret. Det ble montert ni BNC-kontakter på kortet for å kunne koble koaksialekabler til innganger og utganger til kretsene på brikken. Fra hver BNC-kontakt var det en ledning som kunne forbindes til hvilket som helst pinne på brikken.

Oppsettet fungerte godt, og var fleksibelt til alle målingenesom ble gjort. Ideelt sett skulle ledningene som ble brukt vært myke, og ikke stive de var de som ble brukt. Ved høye frekvenser blir det forstyrrelser på signalet hvis ledningen har en bøy på nitti grader. De stive ledningene fikk fort noen skarpe knekker av å bli flyttet på mange ganger. Det var ingen problemer med ledningene i de frekvensene det ble målt på, som var fra 10 kHz til 1 MHz.

Det ble brukt Sun Ultra1 datamaskin, tilkoblet GPIB IEEE-488 nettverksboks, med kabel til alle instrumentene. Til strømforsyning ble det brukt instrument 'Agilent E3631A', som signalgenerator ble det brukt 'TTi TGA1244' med fire kanaler, og til osiloskop ble det valgt 'HP 54503A', 500 MHz med fire kanaler. I noen tilfeller var det nyttig å se flere en fire kanaler. Da ble også osiloskopet 'Agilent 54622D' 100 MHz med to kanaler brukt.

For å styre instrumentene ble det laget skript i Matlab 5.0 med GPIB-kode for det enkelte instrument. Alle skriptene finnes i vedlegg 2.



Figur 1: Kretskort mal

Skriptene som er brukt under målingene.

*%Lager et datasett med x og y-verdier for en kanal i osiloskopet.
%Osiloskopet trigger best med signalet med lavest frekvens i kanal 1, osv
%Ny versjon januar 2006, bufferstørrelsen til Matlab7 er mindre enn Matlab5
%skrevet av Jens Petter Koren, april 2004*

```
function [tid,volt] = osiloskop(kanalnr)
HP54503A = 17; %kaller instrumentet
 GPIB_Write('EOI ON',HP54503A); %ma vere pa for respons fra IEEE-488
 GPIB_Write('*CLS;*RST;',HP54503A); %reset av osiloskopet
 GPIB_Write('AUTOSCALE',HP54503A);
 pause(2); %2 sekunderspause
 %GPIB_Write('CHANNEL(kanalnr):PROBE 1',HP54503A);%kanal1 range 2 volt pulsh...⇒
 ...oyde
 GPIB_Write('TIMEBASE:RANGE 2.00 MS',HP54503A);%lengde x-akse, sekunder
 GPIB_Write('DISPLAY:CONNECT ON',HP54503A); %tar med flankene i signalet

%-----lager preamble-datasett-----
cmdstr=sprintf('WAVEFORM:SOURCE CHANNEL%d',kanalnr);
 GPIB_Write(cmdstr,HP54503A); %velger kanalnummer
 GPIB_Write('ACQUIRE:TYPE NORMAL;COUNT 1;POINTS 512',HP54503A);%en databyte ...⇒
 ...for hvert punkt
 %GPIB_Write('ACQUIRE:COMPLETE 100',HP54503A);%100 prosent ferdig for neste ...⇒
 ...punkt
cmdstr=sprintf('DIGITIZE CHANNEL%d',kanalnr);
 GPIB_Write(cmdstr,HP54503A); %bestemmer/henter data fra kanal x
 GPIB_Write('WAVEFORM:FORMAT ASCII',HP54503A);
 GPIB_Write('WAVEFORM:PREAMBLE?',HP54503A);%data,dell:xinc,yinc,xref,yref
 preamble= GPIB_Read(HP54503A);%leser 'waveform:preamble' fra osiloskopet
 [s,e]=sprintf('preamble=[%s]',preamble);%gjor preamble-data lesbart for mat...⇒
 ...lab
 eval(s); %gjor om, og skriver ut datasettet

 data_format = preamble(1); %0=ASCII, 1=BYTE, 2=WORD, 3=COMPRESSED
 type_data = preamble(2); %1=normal, 2=average, 3=envelope
 antall_punkt = preamble(3); %antall punkter i datasettet
 xinc = preamble(5);
```

```

xorg = preamble(6);
xref = preamble(7);
yinc = preamble(8);
yorg = preamble(9);
yref = preamble(10);

%-----lager datasett-----
GPIB_Write('WAVEFORM:FORMAT ASCII',HP54503A);%data pa Ascii-format
volt = [];
GPIB_Write('WAVEFORM:DATA?',HP54503A);%lager datasettet
while (length(volt)<preamble(3))
volt_tmp = GPIB_Read(HP54503A);%leser datasettet fra osiloskopet
[s,e]=sprintf('volt_tmp=[%s];',volt_tmp);%datasettet lesbart for matlab
eval(s); %gjor om, og skriver ut datasettet
volt = [volt volt_tmp];
end

%-----lager y-datasett-----
volt= ((volt-yref).*yinc)+yorg; %y-verdier

%-----lager x-datasett-----
tid= (([1:length(volt)]-xref)*xinc)+yorg;%x-verdier

end

```

```

%Måling på BFK-kretsen uten autozero på inngangene.
%Skriptet kaller filen 'dacsignal' som får
%signalgeneratoren til å lage innsignalene.
%Filen 'osiloskop' kalles 4 ganger, og lager datasettet
%til hver kurve, og laster dataene inn i matlab, og
%de plottes der, og skrives til fil.
%skrevet av Jens Petter Koren, april 2004
%-----

dacsignal%kaller filen som lager signalene
pause(10);

%-----leser 4 kanaler fra osiloskopet-----
[a1,b1] = osiloskop(1); % sender med kanal nr.1-4
pause(1); disp '1 ok'
[a2,b2] = osiloskop(2);
pause(1); disp '2 ok'
[a3,b3] = osiloskop(3);
pause(1); disp '3 ok'
[a4,b4] = osiloskop(4);
disp '4 ok'

%-----plotter kurvene-----
%matlab plotter 4 kurver, i hvert sitt vindu, i samme figur
subplot(4,1,1);plot(a1,b1);axis([a1(1)a1(length(a1))-0.15 2.15]);
ylabel('ut1 [volt]');
%title('Måling på BFK-krets uten autozero på inngangene, 10 kHz');
subplot(4,1,2);plot(a2,b2);axis([a2(1)a2(length(a2))-0.15 2.15]);
ylabel('ut2 [volt]');
%title('Måling på autozero-BFK-FBK-krets for høye frekvenser, kHz');
subplot(4,1,3);plot(a3,b3);axis([a3(1)a3(length(a3))-0.15 2.15]);
ylabel('ut3 [volt]');
subplot(4,1,4);plot(a4,b4);axis([a4(1)a4(length(a4))-0.15 2.15]);
ylabel('inn [volt]'); xlabel('tid, sekunder');

%-----skriver til fil-----
print -deps2 azdacadc_stor21k

```

```
%Signal til 3-bits BFK uten autozerokrets pa inngangene.
%3 recharge signal og 2 klokkesignal fra hver sin signalgenerato...⇒
...r
%skrevet av Jens Petter Koren, april 2004
```

```
%-----signalgenerator B-----
TGA1244B = 5; %kaller instrumentet
TGA1244A = 6; %kaller instrumentet
GPIB_Write('*CLS;*RST;',TGA1244B);%nullstilling
GPIB_Write('REFCLK MASTER',TGA1244B);%synkronisering av instrume...⇒
...ntene
```

```
%-----inn1, mest signifikant-----
GPIB_Write('SETUPCH 1',TGA1244B);%kanal 1
GPIB_Write('ARBCLR clk1',TGA1244B);%sletter kanalminne
GPIB_Write('ARBDELETE clk1',TGA1244B);%sletter backupminne
GPIB_Write('ARBDEFCSV clk1,16,-2048,0,-2048,0,-2048,0,20...⇒
...47,0,2047,0,2047,0,2047,0.',TGA1244B);%henter data,lager signal
GPIB_Write('ARB clk1',TGA1244B);%velger datasett for utgang
GPIB_Write('CLKFREQ 11000',TGA1244B);%signalfrekv,lik andre sign...⇒
...al
GPIB_Write('LOCKSTAT ON',TGA1244B); %synkronisering
GPIB_Write('LOCKMODE MASTER',TGA1244B); %synkronisering
GPIB_Write('ZLOAD 1000000',TGA1244B);%utgangsimpedans 1megaohm
GPIB_Write('AMPL 2', TGA1244B);%amplitude i volt
GPIB_Write('DCOFFS 1', TGA1244B);%svinger om 1 volt
GPIB_Write('OUTPUT ON', TGA1244B);%utgang pa
GPIB_Write('SYNCOUT ON', TGA1244B);%
```

```
%-----inn2-----
GPIB_Write('SETUPCH 2',TGA1244B);%kanal 2
GPIB_Write('ARBCLR clk2',TGA1244B);%sletter kanalminne
GPIB_Write('ARBDELETE clk2',TGA1244B);%sletter backupminne
GPIB_Write('ARBDEFCSV clk2,16,-2048,0,-2048,0,2047,0,2047,0,-204...⇒
...8,0,-2048,0,2047,0,2047,0.',TGA1244B);%henter data,lager signal
GPIB_Write('ARB clk2',TGA1244B);%velger datasett for utgang
GPIB_Write('CLKFREQ 11000',TGA1244B);%signalfrekv,lik andre sign...⇒
...alene
GPIB_Write('LOCKSTAT ON',TGA1244B);%synkronisering
GPIB_Write('LOCKMODE SLAVE',TGA1244B);%synkronisering
GPIB_Write('ZLOAD 1000000',TGA1244B);%utgangsimpedans 1megaohm
GPIB_Write('AMPL 2', TGA1244B);%amplitude i volt
GPIB_Write('DCOFFS 1', TGA1244B);%svinger om 1 volt
GPIB_Write('OUTPUT ON', TGA1244B);%utgang pa
```

```
%-----inn3, minst signifikant-----
GPIB_Write('SETUPCH 3',TGA1244B);%kanal 3
GPIB_Write('ARBCLR clk3',TGA1244B);%sletter kanalminne
GPIB_Write('ARBDELETE clk3',TGA1244B);%sletter backupminne
```

```

GPIB_Write('ARBDEFCSV c1k3,16,-2048,0,2047,0,-2048,0,2047,0,-204...⇒
...8,0,2047,0,-2048,0,2047,0.',TGA1244B);%henter data,lager signal
GPIB_Write('ARB c1k3',TGA1244B);%velger datasett for utgang
GPIB_Write('CLKFREQ 11000',TGA1244B);%signalfrekv,lik andre sign...⇒
...alene
GPIB_Write('LOCKSTAT ON',TGA1244B);%synkronisering
GPIB_Write('LOCKMODE SLAVE',TGA1244B);%synkronisering
GPIB_Write('ZLOAD 100000',TGA1244B);%utgangsimpedans 1megaohm
GPIB_Write('AMPL 2',TGA1244B);%amplitude i volt
GPIB_Write('DCOFFS 1',TGA1244B);%svinger om 1 volt
GPIB_Write('OUTPUT ON',TGA1244B);%utgang pa

```

%-----signalgenerator A-----

```

GPIB_Write('*CLS;*RST;',TGA1244A);%nullstilling
GPIB_Write('REFCLK SLAVE',TGA1244A);%synkronisering av instrumen...⇒
...tene

```

%-----klokke 1-----

```

GPIB_Write('SETUPCH 1',TGA1244A);%kanal 1
GPIB_Write('ARBCLR c1k4',TGA1244B);%sletter kanalminne
GPIB_Write('ARBDELETE c1k4',TGA1244A);%sletter backupminne
GPIB_Write('ARBDEFCSV c1k4,16,-2048,2047,-2048,2047,-2048,2047,-...⇒
...2048,2047,-2048,2047,-2048,2047,-2048,2047,-2048,2047.',TGA1244A...⇒
...);%henter data,lager signal
GPIB_Write('ARB c1k4',TGA1244A);%velger datasett for utgang
GPIB_Write('CLKFREQ 11000',TGA1244A);%signalfrekv,lik andre sign...⇒
...alene
GPIB_Write('LOCKSTAT ON',TGA1244A);%synkronisering
GPIB_Write('LOCKMODE MASTER',TGA1244A);%synkronisering
GPIB_Write('ZLOAD 1000000',TGA1244A);%utgangsimpedans 1megaohm
GPIB_Write('AMPL 2',TGA1244A);%amplitude i volt
GPIB_Write('DCOFFS 1',TGA1244A);%svinger om 1 volt
GPIB_Write('OUTPUT ON',TGA1244A);%utgang pa

```

%-----klokke 2, i motfase-----

```

GPIB_Write('SETUPCH 2',TGA1244A);%kanal 2
GPIB_Write('ARBCLR c1k5',TGA1244A);%sletter kanalminne
GPIB_Write('ARBDELETE c1k5',TGA1244A);%sletter backupminne
GPIB_Write('ARBDEFCSV c1k5,16,2047,-2048,2047,-2048,2047,-2048,2...⇒
...047,-2048,2047,-2048,2047,-2048,2047,-2048,2047,-2048.',TGA1244A...⇒
...);%henter data,lager signal
GPIB_Write('ARB c1k5',TGA1244A);%velger datasett for utgang
GPIB_Write('CLKFREQ 11000',TGA1244A);%signalfrekv,lik andre sign...⇒
...alene
GPIB_Write('LOCKSTAT ON',TGA1244A);%synkronisering
GPIB_Write('LOCKMODE SLAVE',TGA1244A);%synkronisering
GPIB_Write('ZLOAD 1000000',TGA1244A);%utgangsimpedans 1megaohm
GPIB_Write('AMPL 2',TGA1244A);%amplitude i volt
GPIB_Write('DCOFFS 1',TGA1244A);%svinger om 1 volt
GPIB_Write('OUTPUT ON',TGA1244A);%utgang pa

```



```

%Måling på FBK-kretsen.
%Skriptet kaller filen 'adcsignal' som far signalgeneratoren
%til a lage innsignalet og to klokkesignal.
%Filen 'osiloskop' kalles 4 ganger, og lager datasettet til
%hver kurve, og laster dataene inn i matlab, og de blir
%plottet der.
%-----

adcsignal%kaller filen som lager signalene
pause(10);%10sekunders pause

%-----leser fire kanaler fra osiloskopet-----
[a1,b1] = osiloskop(1);% sender med kanal nr.1-4,
[a2,b2] = osiloskop(2);
[a3,b3] = osiloskop(3);
[a4,b4] = osiloskop(4);

%-----plotter kurvene-----
%matlab plotter 4 kurver, i hvert sitt vindu, i samme figur
subplot(4,1,1);plot(a1,b1);axis([a1(1)a1(length(a1))-0.15 2.15]);
ylabel('inn [volt]');
title('Måling på FBK krets, xx0 kHz');
subplot(4,1,2);plot(a2,b2);axis([a2(1)a2(length(a2))-0.15 2.15]);
ylabel('ut1 [volt]');
subplot(4,1,3);plot(a3,b3);axis([a3(1)a3(length(a3))-0.15 2.15]);
ylabel('ut2 [volt]');
subplot(4,1,4);plot(a4,b4);axis([a4(1)a4(length(a4))-0.15 2.15]);
ylabel('ut3 [volt]'); xlabel('tid, sekunder');

%-----skriver til fil-----
print -deps2 adcsigndata60k

```

%signal til FBK-krets

%Skrevet av Jens Petter Koren, 18. mars 2004

TGA1244A = 6;

%TGA1244A = '/dev/TTi1244A'; %kaller instrumentet

*GPIO_Write('*CLS;*RST;', TGA1244A); %nullstilling*

%-----innsignal, 8 nivåer-----

GPIO_Write('SETUPCH 1', TGA1244A); %kanal 1

%GPIO_Write('WAVE SQUARE', TGA1244A); %signaltype

GPIO_Write('ARBCLR sign', TGA1244A); %sletter kanalminne

GPIO_Write('ARBDELETE sign', TGA1244A); %sletter backupminne

GPIO_Write('ARBDEFCSV sign, 16, -1700, 0, -1330, 0, -818, 0, -265, 0, 26... =>

...7, 0, 841, 0, 1353, 0, 1721.' , TGA1244A); %henter data, lager signal

GPIO_Write('ARB sign', TGA1244A); %velger datasett for utgang

GPIO_Write('CLKFREQ 10000', TGA1244A); %signalfrekvens, ma vere l... =>

...ik for alle signalene

GPIO_Write('LOCKSTAT ON', TGA1244A); %synkronisering

GPIO_Write('LOCKMODE MASTER', TGA1244A); %synkronisering

GPIO_Write('ZLOAD 1000000', TGA1244A); %utgangsimpedans 1megaohm

GPIO_Write('AMPL 2', TGA1244A); %amplitude i volt

GPIO_Write('DCOFFS 1', TGA1244A); %svinger om en volt

GPIO_Write('OUTPUT ON', TGA1244A); %utgang pa

%GPIO_Write('SYNCOUT ON', TGA1244A); %synkroniserer 2 instrumen... =>

...ter

%-----klokke-----

GPIO_Write('SETUPCH 2', TGA1244A); %kanal 2

%GPIO_Write('WAVE SQUARE', TGA1244A); %signaltype

GPIO_Write('ARBCLR clk1', TGA1244A); %sletter kanalminne

GPIO_Write('ARBDELETE clk1', TGA1244A); %sletter backupminne

GPIO_Write('ARBDEFCSV clk1, 16, -2048, 2047, -2048, 2047, -2048, 2047... =>

...,-2048, 2047, -2048, 2047, -2048, 2047, -2048, 2047, -2048, 2047.' , TGA1... =>

...244A); %henter data, lager signal

GPIO_Write('ARB clk1', TGA1244A); %velger datasett for utgang

GPIO_Write('CLKFREQ 10000', TGA1244A); %signalfrekvens, ma vere l... =>

...ik for alle signalene

GPIO_Write('LOCKSTAT ON', TGA1244A); %synkronisering

GPIO_Write('LOCKMODE SLAVE', TGA1244A); %synkronisering

GPIO_Write('ZLOAD 1000000', TGA1244A); %utgangsimpedans 1megaohm

GPIO_Write('AMPL 2', TGA1244A); %amplitude i volt

GPIO_Write('DCOFFS 1', TGA1244A); %svinger om en volt

GPIO_Write('OUTPUT ON', TGA1244A); %utgang pa

%-----invertert klokke-----

GPIO_Write('SETUPCH 3', TGA1244A); %kanal 3

%GPIO_Write('WAVE SQUARE', TGA1244A); %signaltype

GPIO_Write('ARBCLR clk2', TGA1244A); %sletter kanalminne

GPIO_Write('ARBDELETE clk2', TGA1244A); %sletter backupminne

GPIO_Write('ARBDEFCSV clk2, 16, 2047, -2048, 2047, -2048, 2047, -2048... =>

```
...,2047,-2048,2047,-2048,2047,-2048,2047,-2048,2047,-2048.',TGA1...⇒  
...244A); %henter data,lager signal  
GPIB_Write('ARB clk2',TGA1244A);%velger datasett for utgang  
GPIB_Write('CLKFREQ 10000',TGA1244A);%signalfrekvens,ma vere l...⇒  
...ik for alle signalene  
GPIB_Write('LOCKSTAT ON',TGA1244A);%synkronisering  
GPIB_Write('LOCKMODE SLAVE',TGA1244A);%synkronisering  
GPIB_Write('ZLOAD 1000000',TGA1244A);%utgangsimpedans 1megaohm  
GPIB_Write('AMPL 2', TGA1244A);%amplitude i volt  
GPIB_Write('DCOFFS 1', TGA1244A);%svinger om en volt  
GPIB_Write('OUTPUT ON', TGA1244A);%utgang pa
```


Målinger

Dette vedlegget inneholder målingene som ikke er brukt i rapporten. I starten av hovedfagsoppgaven var målet å dimensjonere en krets som var sammensatt av de tre kretsene autozero, DAC (BFK) og ADC (FBK). Det skulle lages en krets som skulle bruke minimums komponenter og en som skulle tåle så høy frekvens som mulig. Det viste seg under simuleringene at de raskeste transistorene er de som er minst. Når det blir mange transistorer, er det nødvendig å øke bredden til transistorene for å kompensere for den økende lasten.

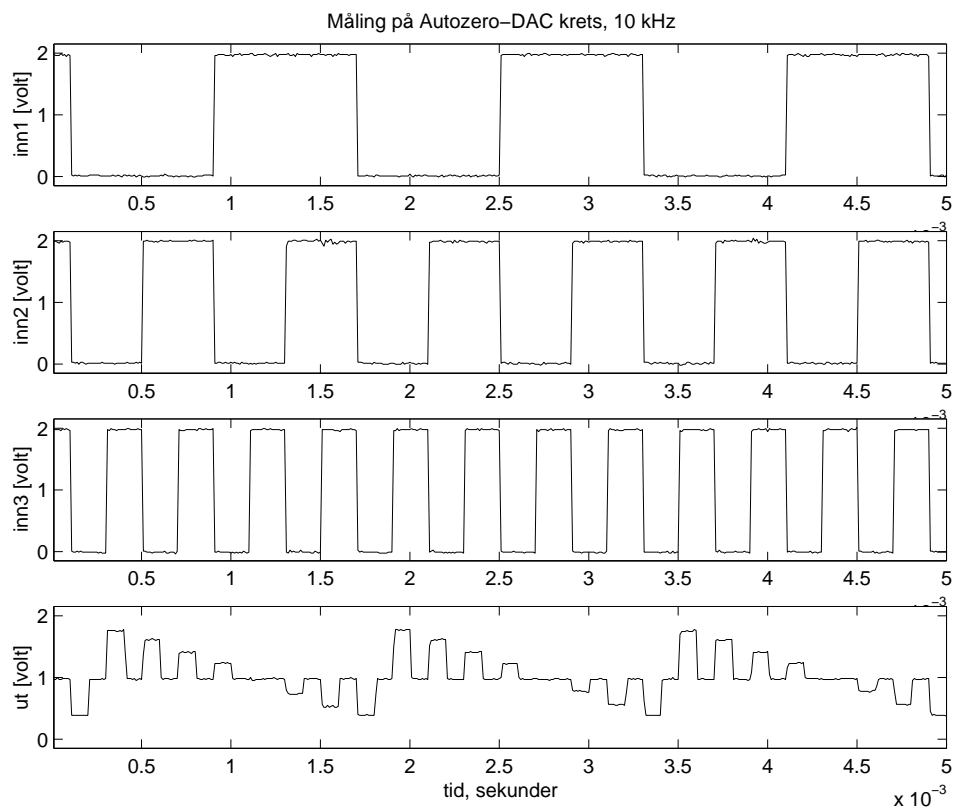
Det ble laget utlegg av begge løsningene, og produsert en brikke, hvor det ble lagt ut ni kretser. Det ble lagt ut kretsen med minimumskomponenter, den raske løsningen, og den raskeste løsningen med to forskjellig buffer for å kunne kjøre kretsen på en så høy frekvens som mulig. De siste fem kretsene var de enkelte kretsene med minimums komponenter, hver for seg, og kombinasjoner av de.

Grunnen til at de målingene som er presentert her ikke finnes i rapporten er at, når målingene var ferdig og rapporten var halv ferdig. Ville veileder at problemstillingen skulle forandres. Først skulle en ikke se på autozerokretsen. Deretter skulle en bytte om på BFKen og FBKen. Det var tenkt at kretsen kunne brukes til å friske opp flernivåsignal. Til slutt ble oppgaven at BFKen og FBKen skulle vurderes hver for seg. En BFK og en FBK var ikke en ny løsning, siden veilederen allerede hadde publisert artikler om disse kretsene.

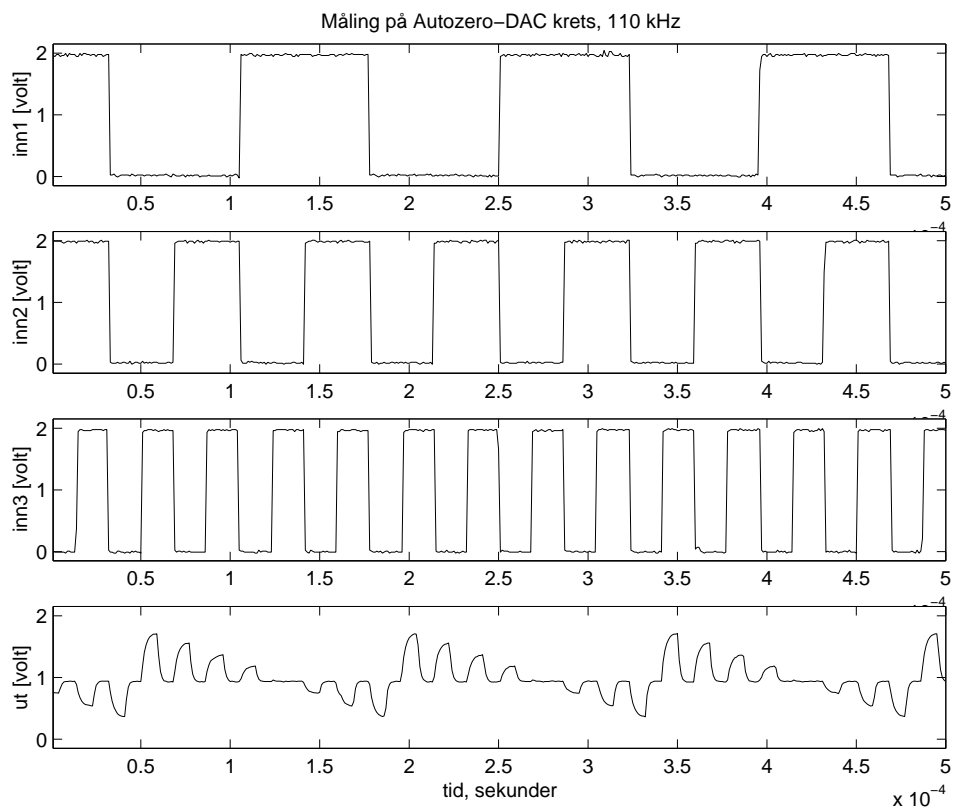
Figur 2 viser måleresultatene av tre autozerokretser som sender hvert sitt signal inn på en trebits BFK, ved 10 kHz. Autozerokretsen gjør et binært signal om til et binærttoppladingsignal. De tre øverste kurvene viser innsignalene til hver sin autozerokrets. Den øverste kurven er det mest signifikante bitet, og den nederste er det minst signifikante bitet. Den nederste kurven viser utsignalet fra BFKen. Autozerokretsen har invertert signalet og BFK-kretsen har SFG-latched signalet. Her ser vi at NMOS-transistoren er sterkere enn PMOS-transistoren siden svitsjepunktet ligger på 930 millivolt. Den høyeste pulsen ligger på 1710 millivolt og den laveste ligger på 370 millivolt.

Figur 3 er en måling på samme kretsen som vist i figur 2, ved en klokkefrekvens på 110 kHz. Vi ser at det er såvidt at signalpulsene rekker opp til riktig spenningsnivå.

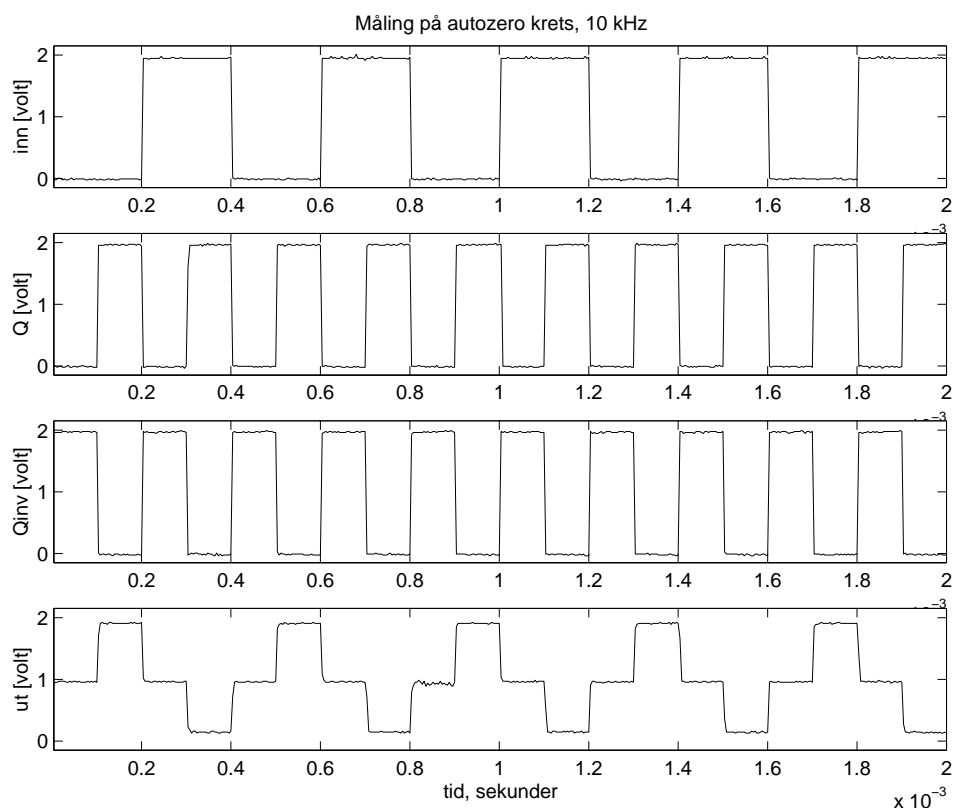
Figur 4 viser måling av en autozerokrets ved 10 kHz. Øverste kurve viser innsignalet og nederste kurve viser utsignalet. De to midterste kurvene viser klokkesignalene. Den ene klokken er invertert av den andre.



Figur 2: Måling av tre autozerokretser som sender et signal til hver sin inngang på en trebits BFK/DAC. Klokkefrekvens 10 kHz.



Figur 3: Måling av tre autozerokretser som sender et signal til hver sin inngang på en trebits BFK/DAC. Klokkefrekvens 110 kHz.



Figur 4: Måling på en autozerokrets ved 10kHz.

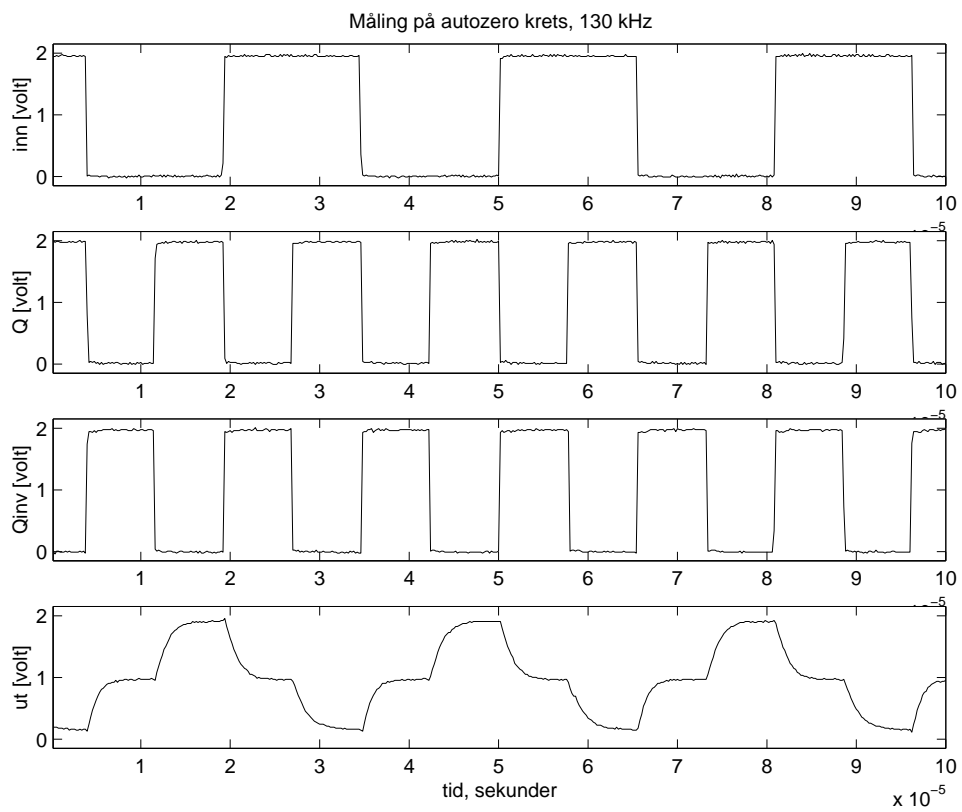
Svitsjepunktet ligger på 930 millivolt, og signalpulsene kommer ikke helt opp til Vdd eller ned til jord.

Figur 5 viser måling på samme krets som i figur 4, ved en klokkefrekvens på 130 kHz. Kretsen tåler litt høyere klokkefrekvens.

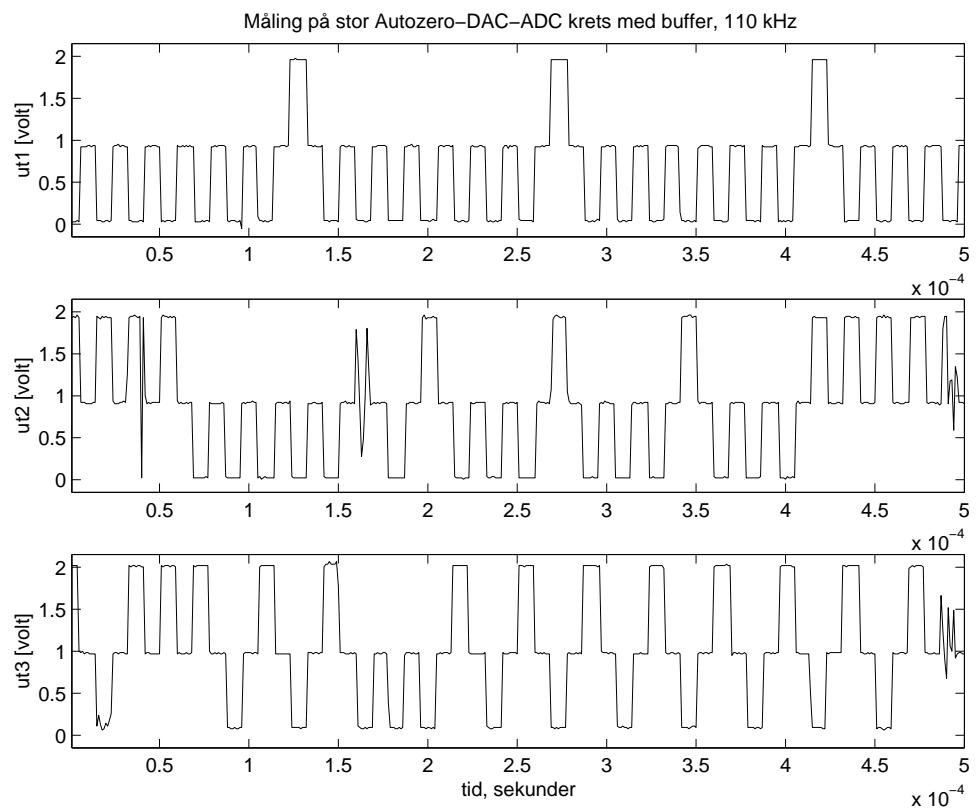
Figur 6 viser måling på en krets som er sammensatt av en autozero, BFK og en FBK, ved 110 kHz. Kretsen er beregnet for en høyere frekvens, og har buffer på hver utgang for å kunne drive lasten på utgangen som paden og ledninger gir. Bufferet har en feilkonstruksjon som gjør at signalet blir feil. Øverste kurve "UT1", skulle vært fire høye og fire lave pulser som repeteres. Den midterste kurven "UT2", skulle vært to høye og to lave signal som ble repetert. Den nederste kurven skulle vært en høy og en lav puls som ble repetert.

Figur 7, 8 og 9 viser måling av en krets beregnet på høye frekvenser som er sammensatt av en autozerokrets, BFK og en FBK krets. På utgangssignalene blir først gjort om fra å være oppladningssignaler til binæresignaler og deretter forsterket opp i et buffer for å kunne drive signalet gjennom paden med en høy frekvens. Det er en konstruksjonsfeil på bufferet som gjør at utsignalene ikke er som de skal være. Målingene er utført med en frekvens på henholdsvis 1,1 MHz, 110 kHz og 11 kHz.

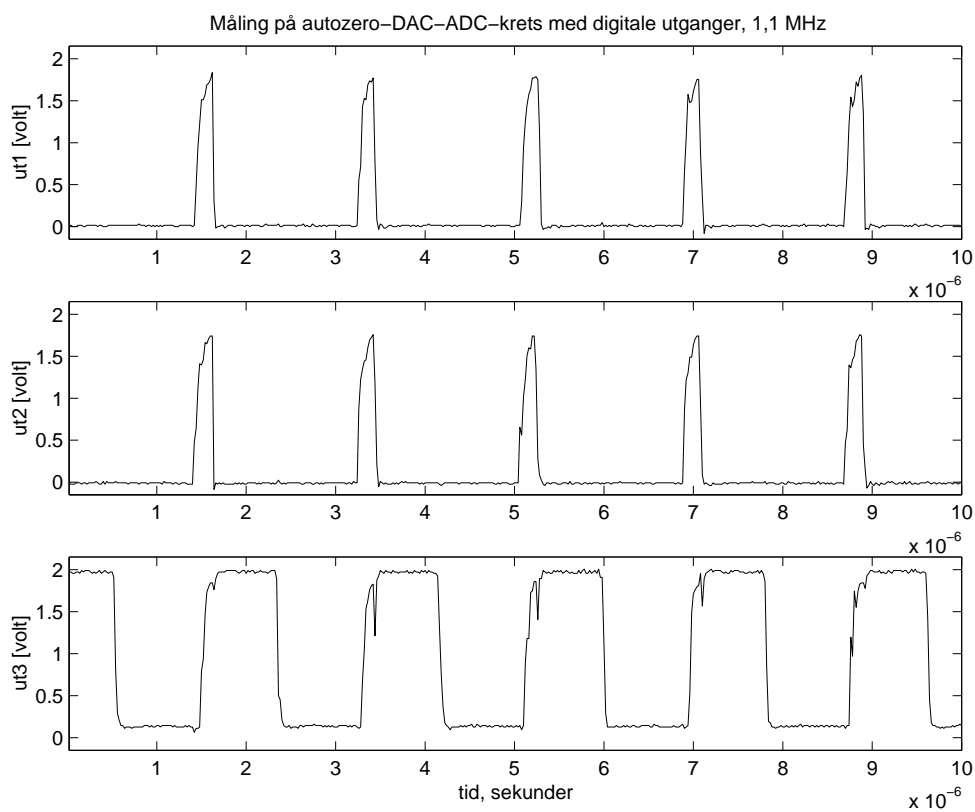
Figur 10 viser måling av en krets som er beregnet på høye frekvenser.



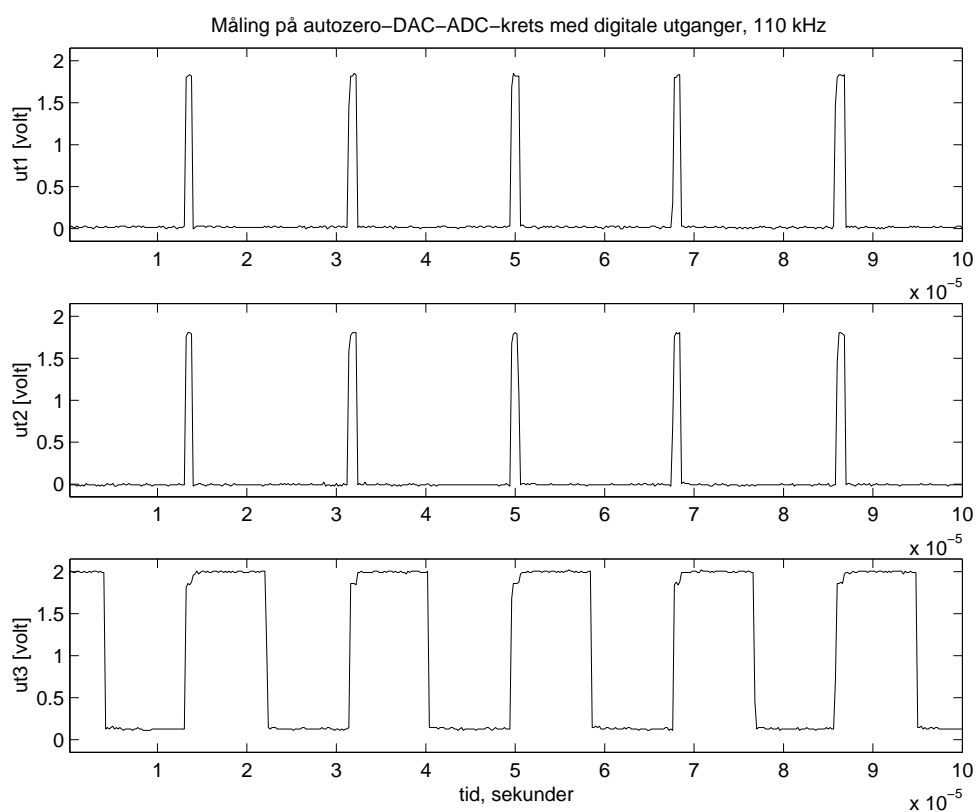
Figur 5: Måling på en autozerokrets ved 130 kHz.



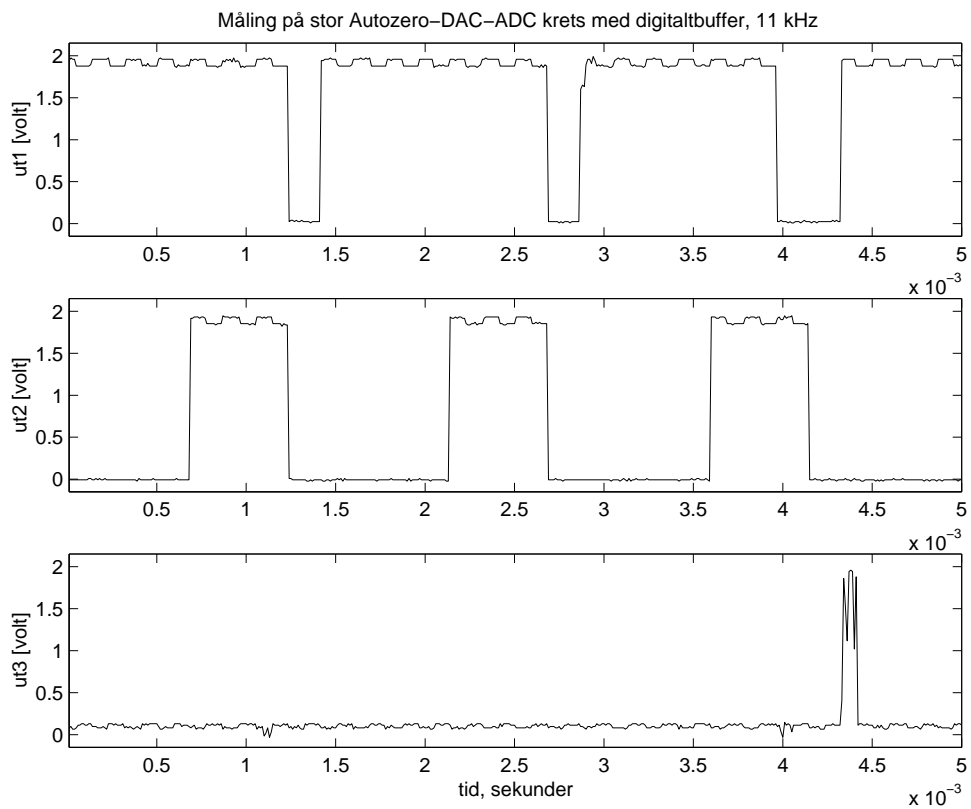
Figur 6: Måling av en krets sammensatt av Autozero, BFK, FBK og buffer på utgangene. Kretsen er dimensjonert for høyere frekvenser. Måling ved 110 kHz.



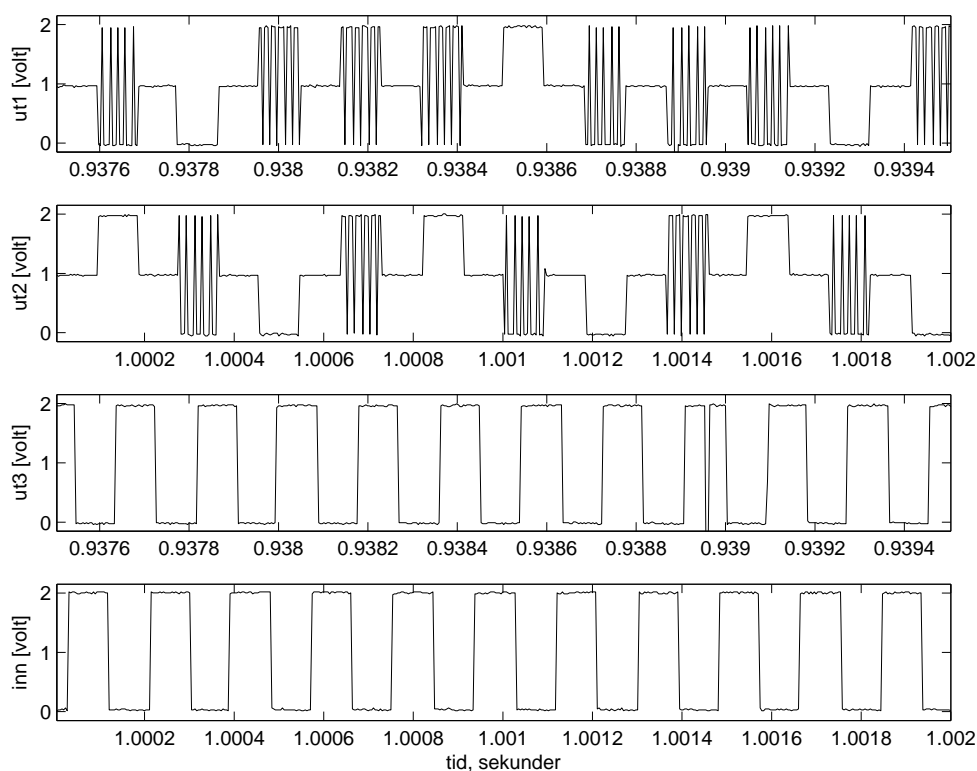
Figur 7: Måling av en krets sammensatt av Autozero, BFK og FBK. Utgangene konverteres til binæresignaler, også forsterkes de med et buffer. Kretsen er dimensjonert for høyere frekvenser. Måling ved 1,1 MHz.



Figur 8: Måling av en krets sammensatt av Autozero, BFK og FBK. Utgangene konverteres til binæresignaler, også forsterkes de med et buffer. Kretsen er dimensjonert for høyere frekvenser. Måling ved 110 kHz.



Figur 9: Måling av en krets sammensatt av Autozero, BFK og FBK. Utgangene konverteres til binæresignaler, også forsterkes de med et buffer. Kretsen er dimensjonert for høyere frekvenser. Måling ved 11 kHz.

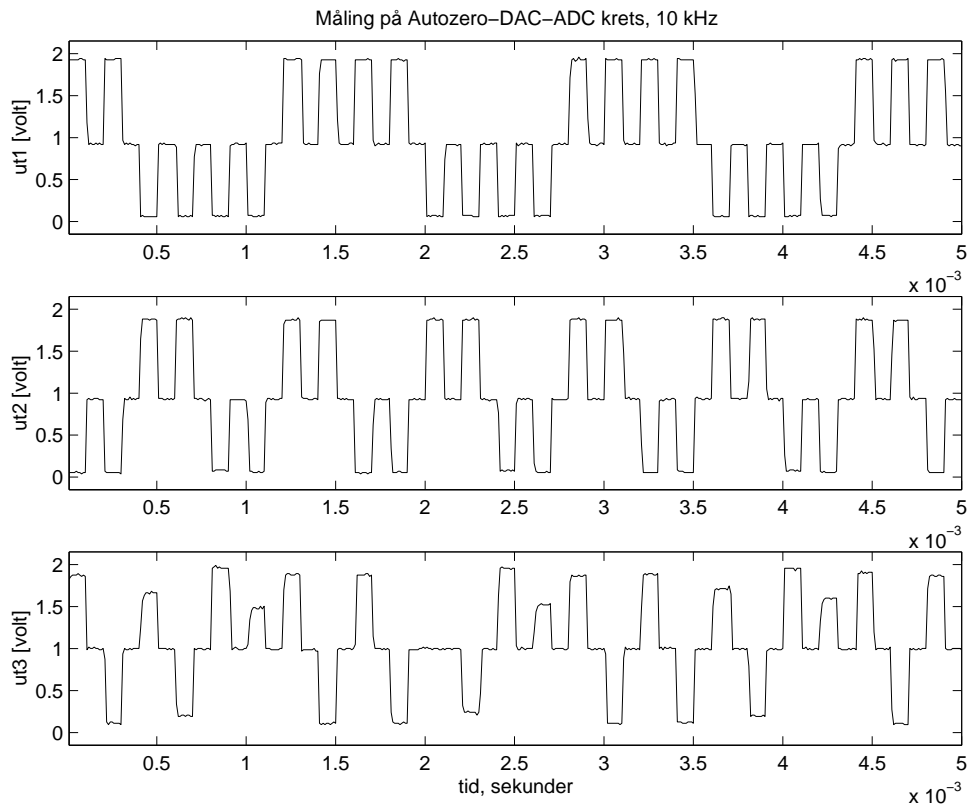


Figur 10: Måling av en krets sammensatt av Autozero, BFK og FBK. Kretsen er beregnet på høye frekvenser og har ikke buffer på utgangen. Måling ved 11 kHz.

Den er sammensatt av de tre kretsene, Autozero, BFK og FBK. Kretsen har ikke buffer på utgangene. De to øverste kurvene viser det mest signifikante bitet (ut1) og det nest mest signifikante bitet (ut2). De to nederste kurvene er klokkesignalene. Kretsen har tre binære signal inn som gjøres om til binære oppladningssignal i autozerokretsen. Deretter konverteres signalene til et trebits flernivåsignal, også konverteres det tilbake til et binært oppladningssignal som vist i de to øverste kurvene. De to signalene er gode, rette flanker og uten bitfeil.

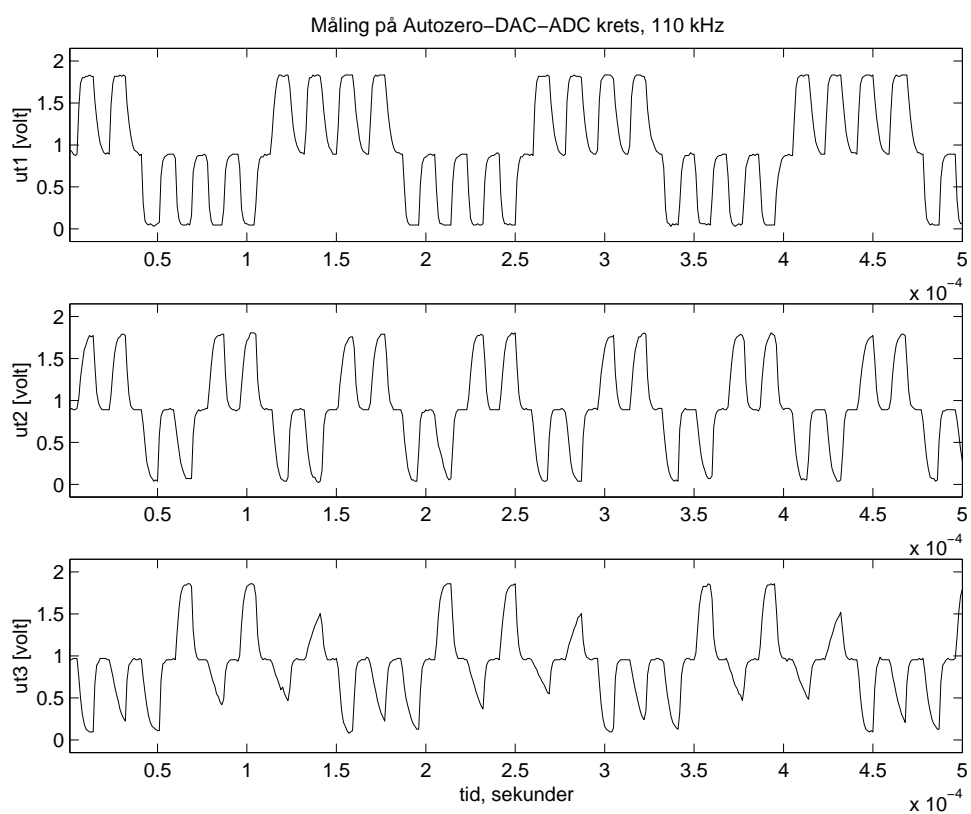
Figur 11 og 12 viser måling på en krets som er sammensatt av Autozero, BFK og FBK, og er bygget opp av minimumskomponenter. Figur 11 viser måling ved 10 kHz og figur 12 viser måling ved 110 kHz. Kurvene viser utsignalene fra kretsen. Øverste kurve viser den mest signifikante bitet, midterste kurve viser det nest mest signifikante bitet og den nederste kurven viser det minst signifikante bitet. De to øverste kurvene er gode, mens den nederste kurven har bitfeil. Vdd/2 nivået til kurvene ligger på 930 millivolt. Det gjør det antagelig også for signalene inne i kretsen. Da blir signalnivåene feil i forhold til det inngangskondensatorene i FBKen er dimensjonert for.

Figur 13 viser samme måling som de to forrige kurvene. Der viser

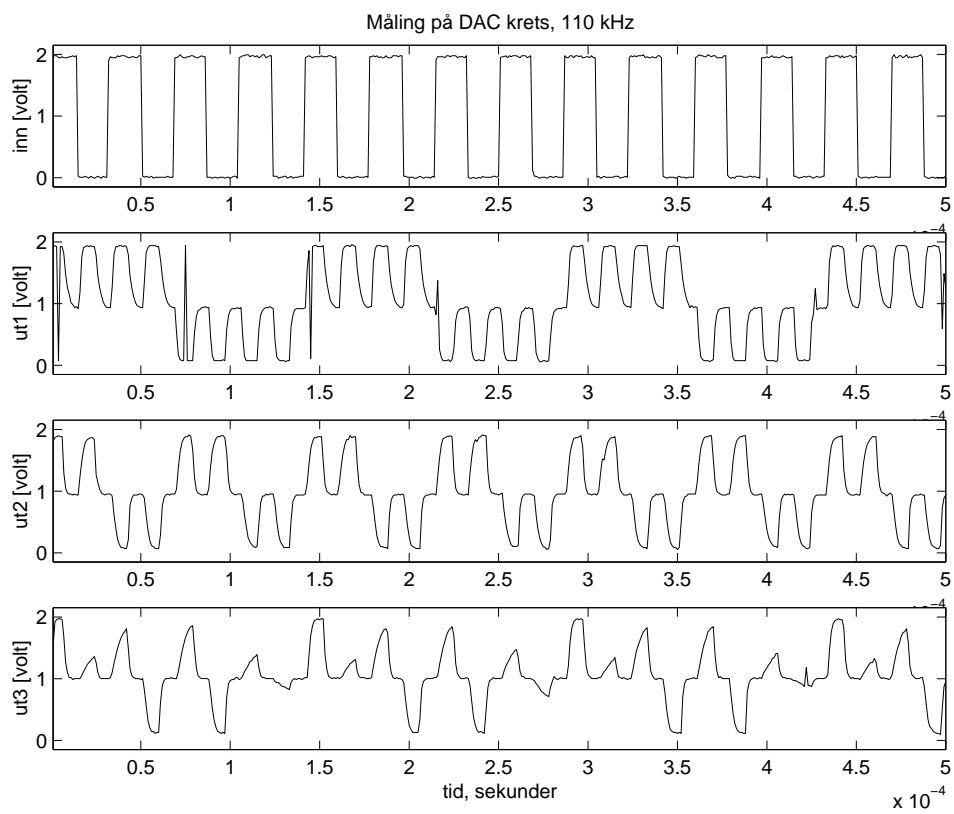


Figur 11: Måling av en krets sammensatt av Autozero, BFK og FBK. Kretsen laget med minimumskomponenter og har ikke buffer på utgangen. Måling ved 10 kHz.

øverste kurve innsignalet for det minst signifikante bitet.



Figur 12: Måling av en krets sammensatt av Autozero, BFK og FBK. Kretsen laget med minimumskomponenter og har ikke buffer på utgangen. Måling ved 110 kHz.



Figur 13: Måling av en krets sammensatt av Autozero, BFK og FBK. Kretsen laget med minimumskomponenter og har ikke buffer på utgangen. Måling ved 110 kHz.

Utlegg på brikken

Formålet med å teste kretsene var å finne ut om de virket like godt som en fysisk krets, som de gjorde i simuleringene i programmet Cadence. Brikken ble delt med to andre studenter som hadde hver sin side med 24 pinner. Pinnene på de to siste sidene av brikken ble brukt til kretsene i dette prosjektet.

.1 Padder

Det er valgt padder med null motstand til alle utgangene, for å redusere last og gi utsignalet lettest mulig vei fra kretsene. Innpaddene har 200 ohms serie motstand for å beskytte kretsene de er koblet til, når det kommer en uønsket høy spenning på inngangen.

Padd funksjon	AMS navn
Innsignaler	APRIOP
Utsignaler	APRIO200P
Forsyningsspening	AVDDALLP
Jord	AGNDALLP

Tabell 1: Padder som er brukt til å koble til innganger og utganger på brikken

Krets	pinne type	pinne nr.
Autozero	inn	4
	ut	5
Autozero-DAC	inn1	4
	inn2	6
	inn3	7
	ut	8
	ut	9
DAC	inn1	4
	inn2	6
	inn3	7
	ut	9
DAC-ADC	inn1	4
	inn2	6
	inn3	7
	ut1	10
	ut2	12
	ut3	11
	ut3	11
ADC	inn	4
	ut1	13
	ut2	15
	ut3	14
Autozero-DAC-ADC, liten	inn1	92
	inn2	93
	inn3	94
	ut1	89
	ut2	90
	ut3	91
Autozero-DAC-ADC, stor	inn1	92
	inn2	93
	inn3	94
	ut1	97
	ut2	96
	ut3	95
Autozero-DAC-ADC, stor med buffer	inn1	99
	inn2	100
	inn3	1
	ut1	3
	ut2	2
	ut3	89
	ut3	89
Autozero-DAC-ADC, stor med digitaltbuffer	inn1	20
	inn2	21
	inn3	22
	gnd	18
	ut1	19
	ut2	17
	ut3	16
Forsyningsspenning, felles	Vdd	86
Jord, felles	gnd	85
Klokke 1, felles	nreset	87
Klokke 2, felles	preset	88

Tabell 2: Pinne fordeling til de enkelte kretsene